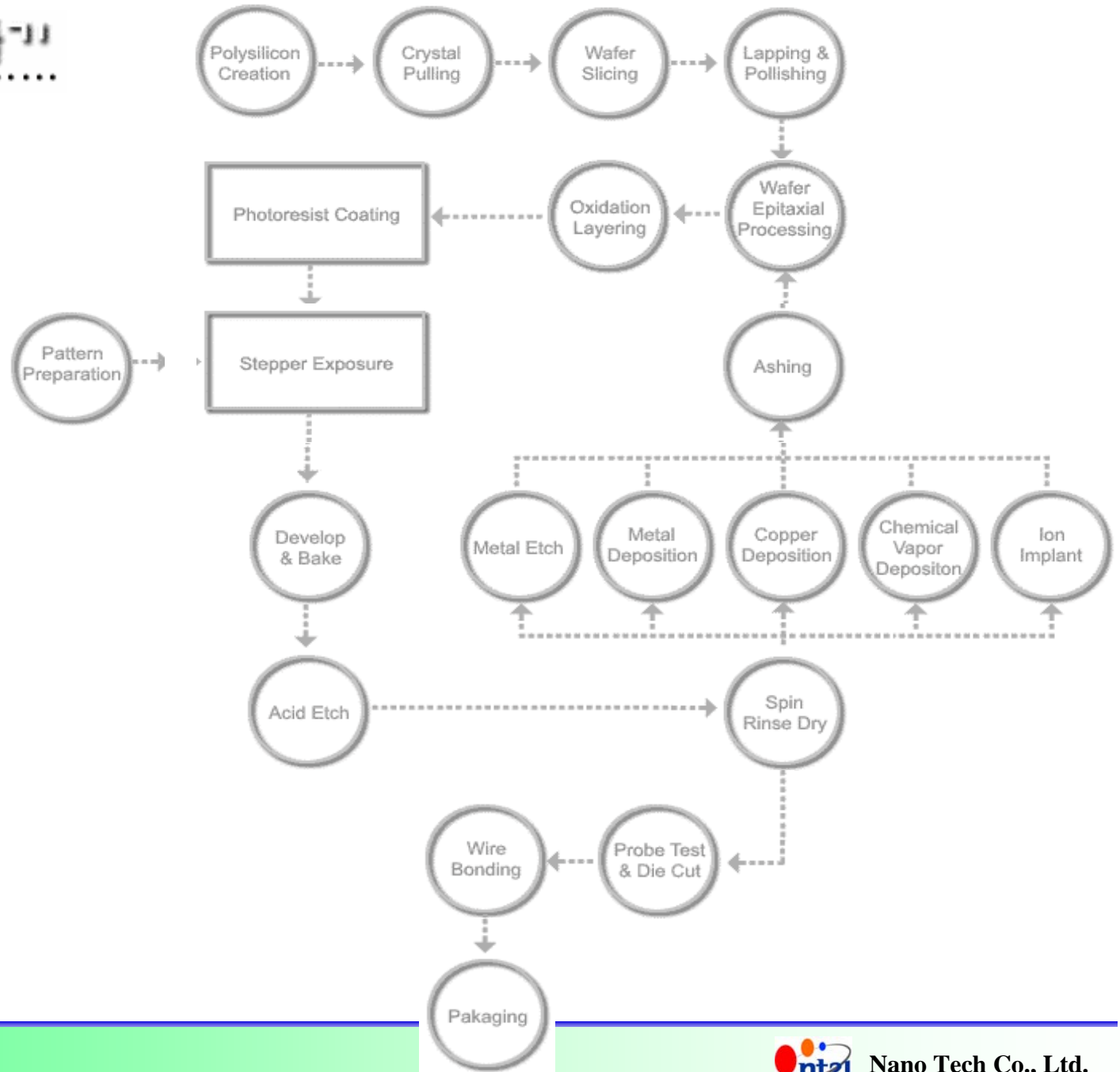
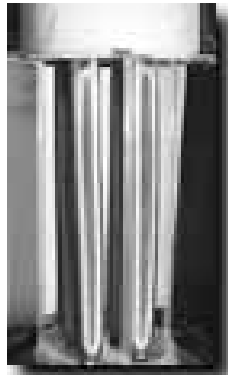


반도체 공정의 이해



Polysilicon Creation

노안에 정제된 3염화합물을 수소가스를 섞어 다결정 실리콘을 만들고, 이때 전기적으로 가열한 Tantalum(탄탈륨:Ta) 금속 심지의 표면 위에 다결정 실리콘을 성장 시킨다.



Raw
Polycrystal
Silicon Rods

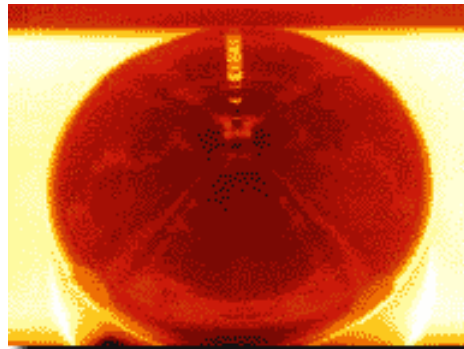
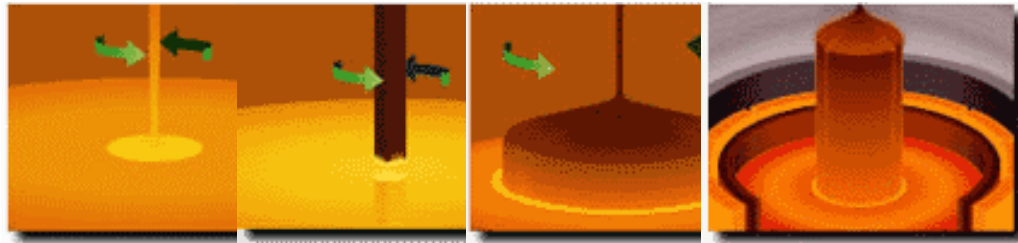


Polysilicon Ingots

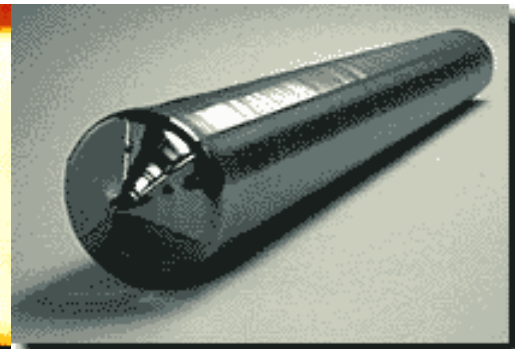
그 후 다결정 실리콘을 불화수소산 속에서 녹인 후 정제하여 다결정 실리콘 주괴(ingot)를 만듭니다. 다결정 실리콘은 불규칙적인 격자배열로 반도체소자에 적합한 전기적 특성을 갖지 않아서 이를 'Crystal Pulling'이라는 과정을 통해 단결정을 만든다.

Crystal Pulling

단결정 실리콘을 만들 때는 주로 [초크랄스키법\(CZ\)](#)을 사용하는 Crystal Pulling 과정을 통해 만들어 짐.



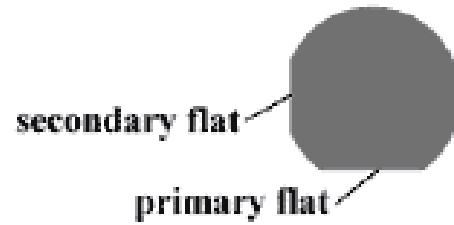
Inside CZ Puller
(MEMC)



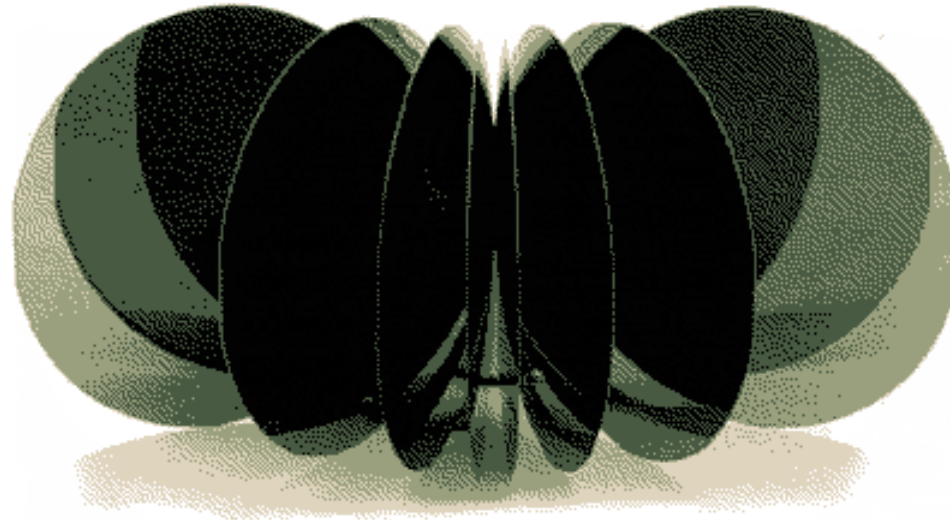
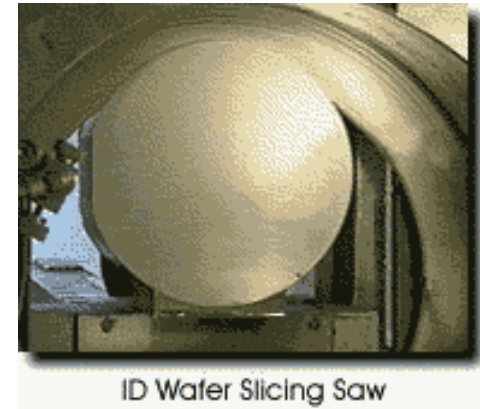
Single Crystal Silicon Ingot

용융체 속에 단결정 실리콘으로 된 'Seed(씨앗)'를 살짝 담궜다가 천천히 돌려가며 꺼내면 용융체와 'Seed'의 표면장력으로 'Seed'에 적은 양의 용융체가 달라붙게 되고 'Seed'와 똑같은 결정방향을 갖는 단결정 실리콘 '주괴(ingot)'로 식어지게 됨.

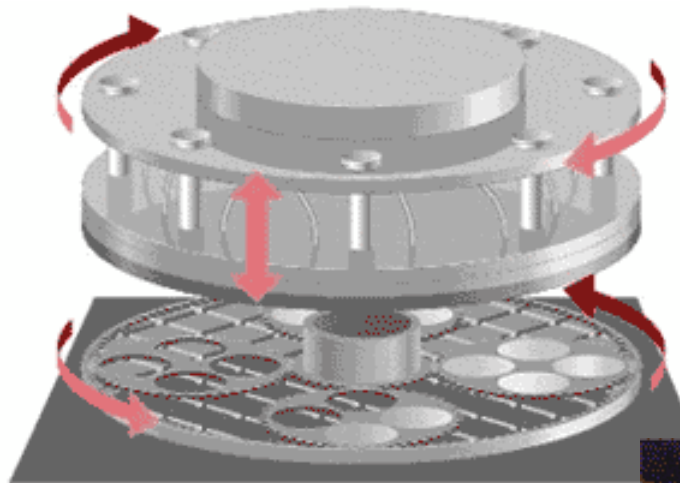
Wafer Slicing



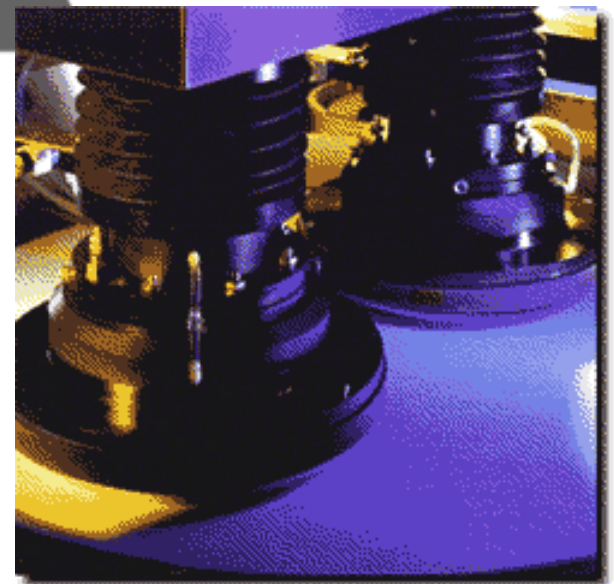
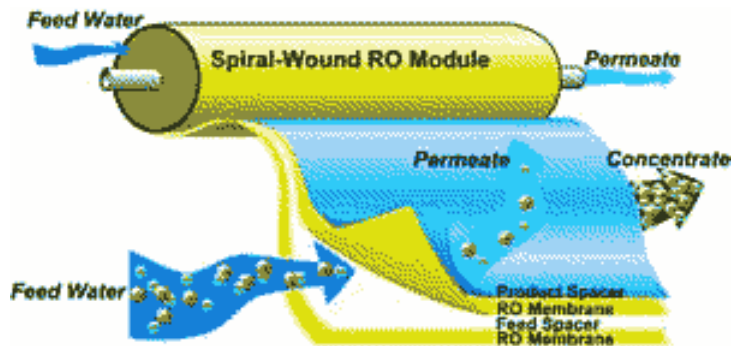
단결정 실리콘 '주괴(ingot)'는 실리콘 결정 방향에 따라 특징이 달라집니다. 웨이퍼로 잘리기 전에 주괴는 이러한 방향을 표시하기 위해 한 개 혹은 두 개의 평면(Flat)으로 잘려지게 됩니다.



Lapping & Polishing



Water Lapping Machine
(Mitsubishi Materials Silicon)



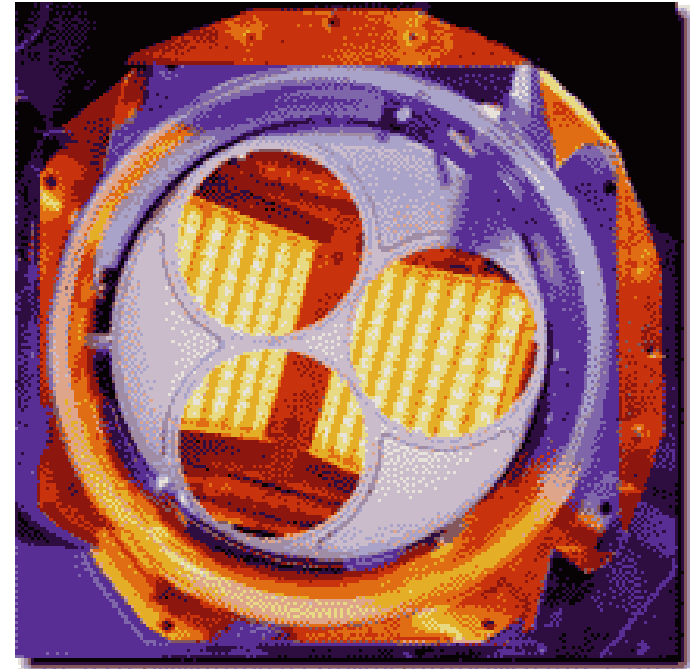
Water Polishing
(Strasbaugh Corporation)

Water Epitaxial Processing

에피탁시란 고온에서 단결정 실리콘위에 수증기로부터 단결정 실리콘 층을 성장시키는 것.



Epitaxial Reactor
(Mitsubishi Materials Silicon)



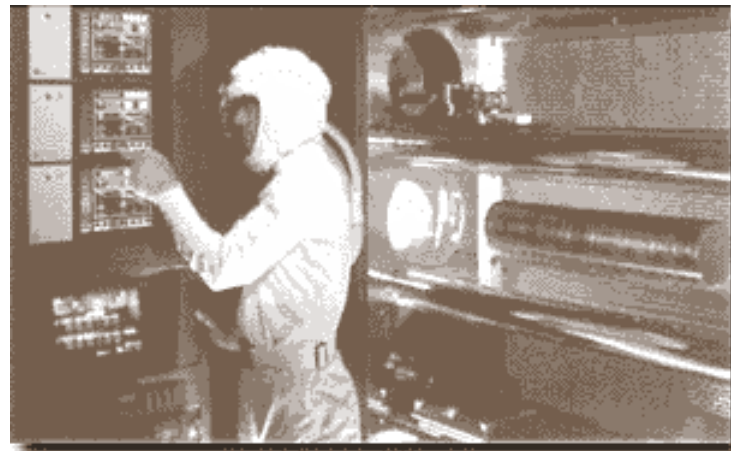
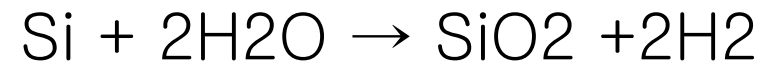
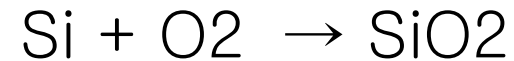
Epitaxial Reactor
(Moore Epitaxial)

에피탁시 성장의 목적은 표면위에 일반적으로 전기적으로 활동하는 낮은 농도의 불순물의 층을 형성하기 위한 것이다. 예를 들어 p-type의 웨이퍼 표면위에 n-type의 층을 형성하는걸 말함.

Oxidation Layering



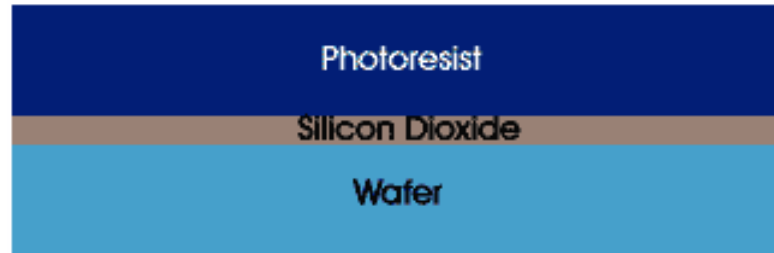
Oxidation Layering



Oxidation Furnace
(Silicon Valley Group - Thermco Systems)

산소와 수증기를 이용한 SiO_2 의 성장은 각각 건식 과 습식 산화로 분류되는데 건식 산화는 주로 더 미세한 Si-SiO₂계면특성을 가지므로 MOSFET에서 게이트 산화와 같이 소자구조에서 중요한 절연영역을 형성하는데 사용한다.

Photoresist Coating

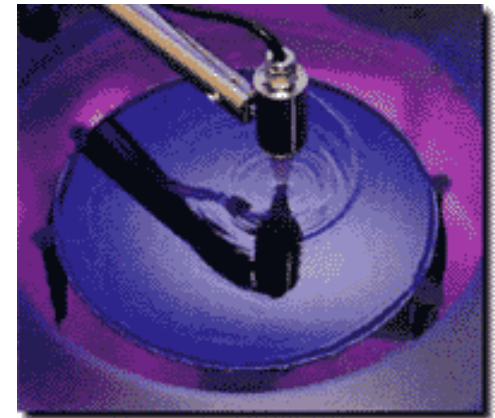


Photoresist Coating

PR(Photoresist)는 액체상태에서 빛에 민감한 재료이다. Spinner라는 회전을 하는 장치 위에 웨이퍼를 올려놓고 웨이퍼위에 PR을 떨어뜨리는데 위에 약 $2\sim 200\text{\AA}$ 의 두께로 층을 형성하기 위해서는 약 3000rpm의 속도로 회전시키면서 떨어뜨린다.

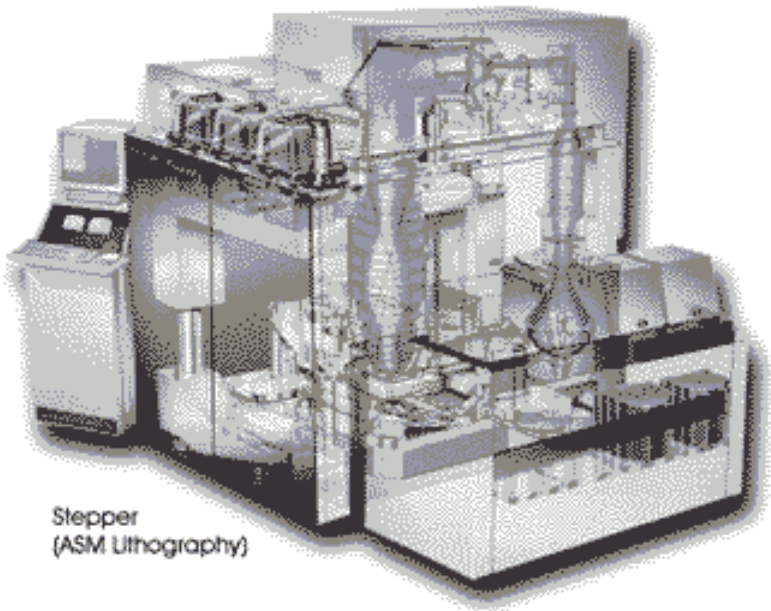
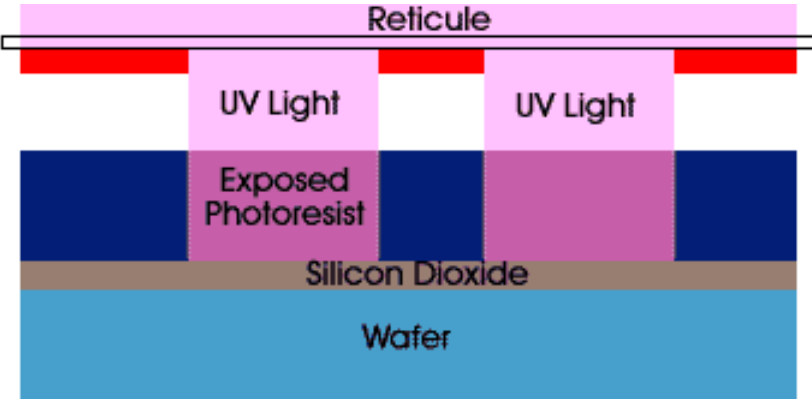
광막증착에는 Positive(양)와 Negative(부) 방식등이 있는데 Negative Resist는 노출되지 않은 부분만 남겨놓고 PR을 제거하는 방법을 말하는데 약 2.0\AA 정도의 소자를 만들 때만 사용한다.

오늘날의 대부분의 반도체 제조공정에서는 Positive Resist 공정을 사용하는데 이는 Negative와는 반대로 노출된 부분이 제거됩니다. 약 $1.0\sim 0.152.0\text{\AA}$ 정도의 소자를 만드는데 사용된다.



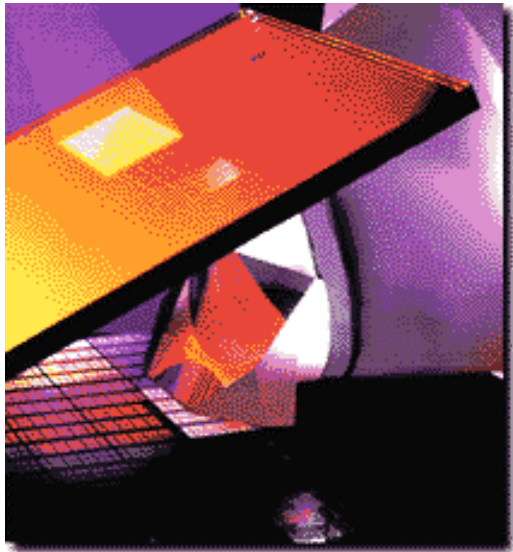
Photoresist Application (Ontrak)

Stepper Exposure



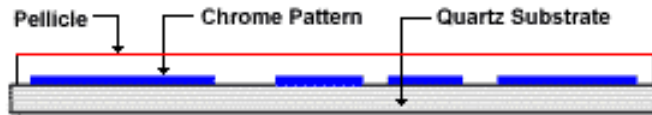
Stepper (ASM Lithography)

Exposure

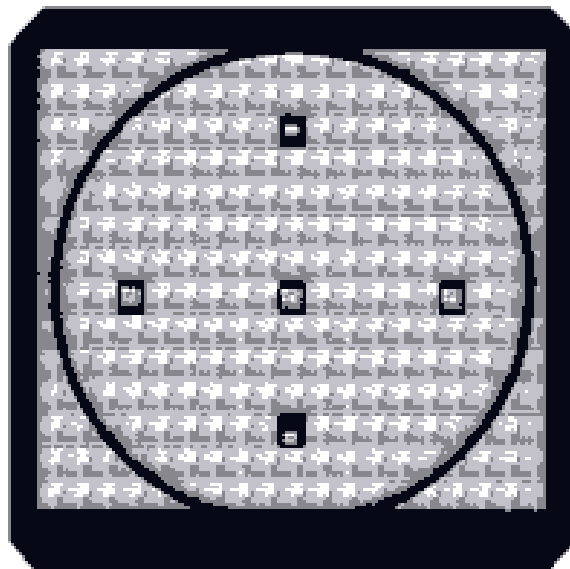


Stepper (Ultratech)

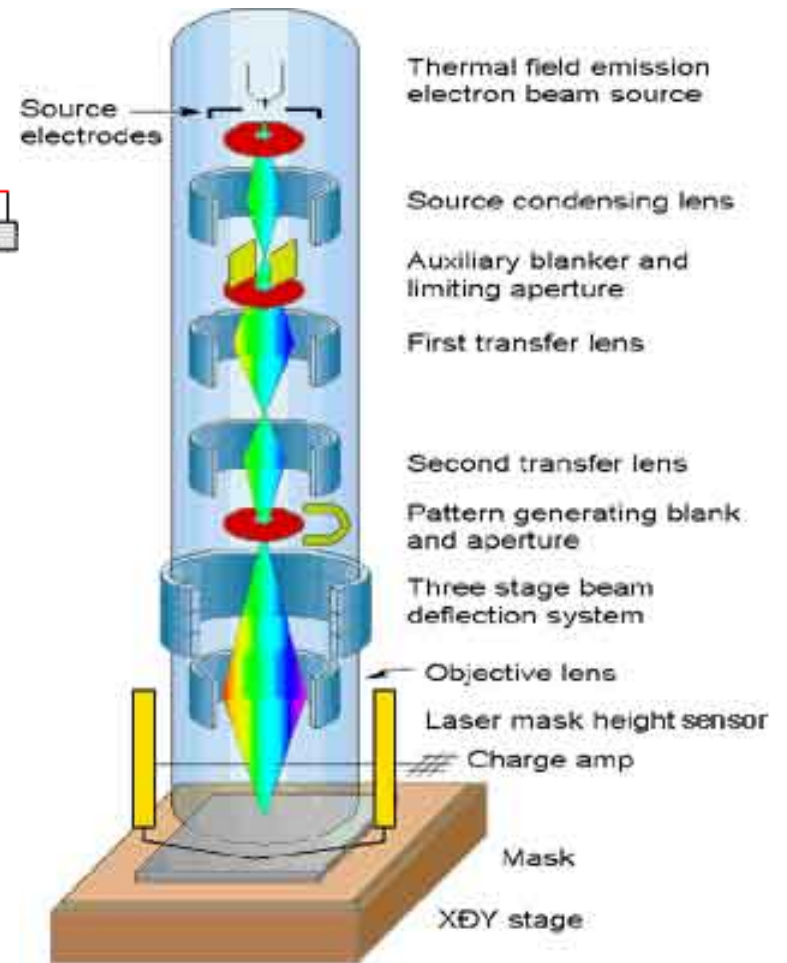
Pattern Preparation



Reticle



Reticle Mask



E-Beam Pattern Generator (Etec Corporation)

**Develop
& Bake**



Photoresist Develop & Strip

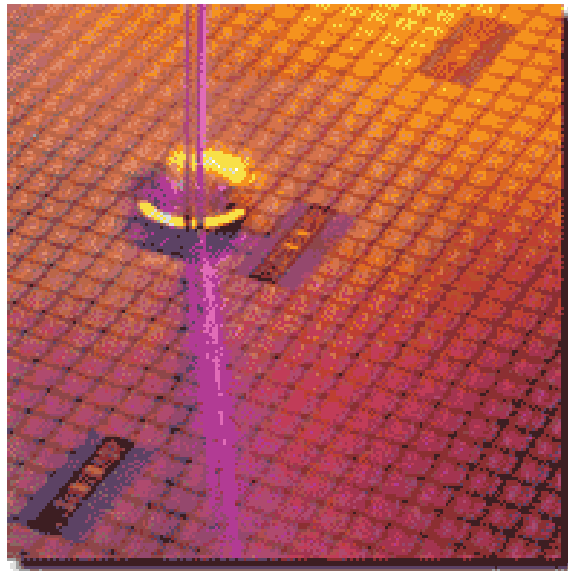
노출공정 이후에 웨이퍼 위의 포토레지스트의 노출된 부분들은 산으로 혹은 기본 용액 등으로 제거됩니다.

노출된 광막이 제거된 후에 남아있는 광막을 굳히기 위해서 웨이퍼를 낮은 온도(80도~100도)에서 굽습니다. 또한 높은 온도(800도~1200도)에서의 확산화덕은 재분포를 위해 사용됩니다. 확산이라는 것은 웨이퍼의 표면에 도펀트 층을 적용하는 것을 말한답니다.

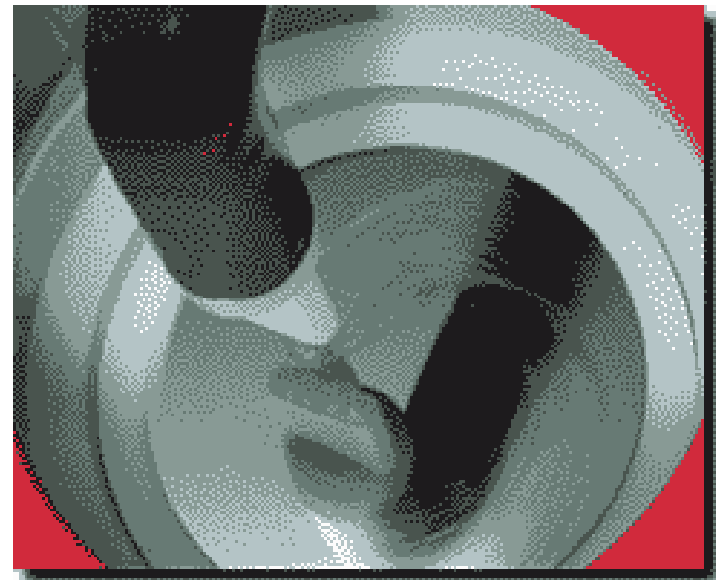
**Acid
Etch**



Oxide Etch



Wet Bench Acid Etch
(Cybar)



Automated Acid Etch
(SEZ)



Spin Rinse Dry

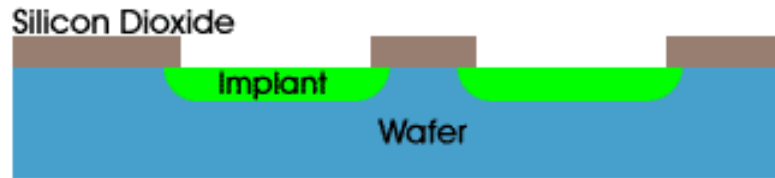
웨이퍼의 표면을 손실과 오염으로 부터 보호하는 것은 웨이퍼 제조기술의 주된 관심사죠..한참 실험해 놓고 시료에 오염되면 흑흑..다시 해야 하니까..

실리콘은 기본적으로 유리입니다. 그래서 떨어지면? 깨지죠..더우기 최근의 반도체 소자들은 아주 작은 조각의 먼지나 모래알갱이에도 회로가 손상될 수 있는데 이러한 것을 방지하기 위해서 반도체를 만들기 위해서는 항상 정제된 Clean room에서 이루어지고 있고, 작업자들 또한 공기중에 있을 불순물을 막기 위해 특별한 방진복'(bunny)'과 마스크 장갑 등을 착용하죠.



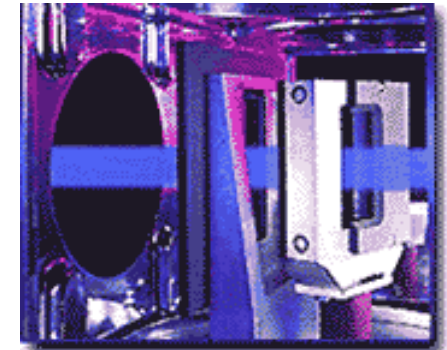
Water Handling Boat

Ion Implant

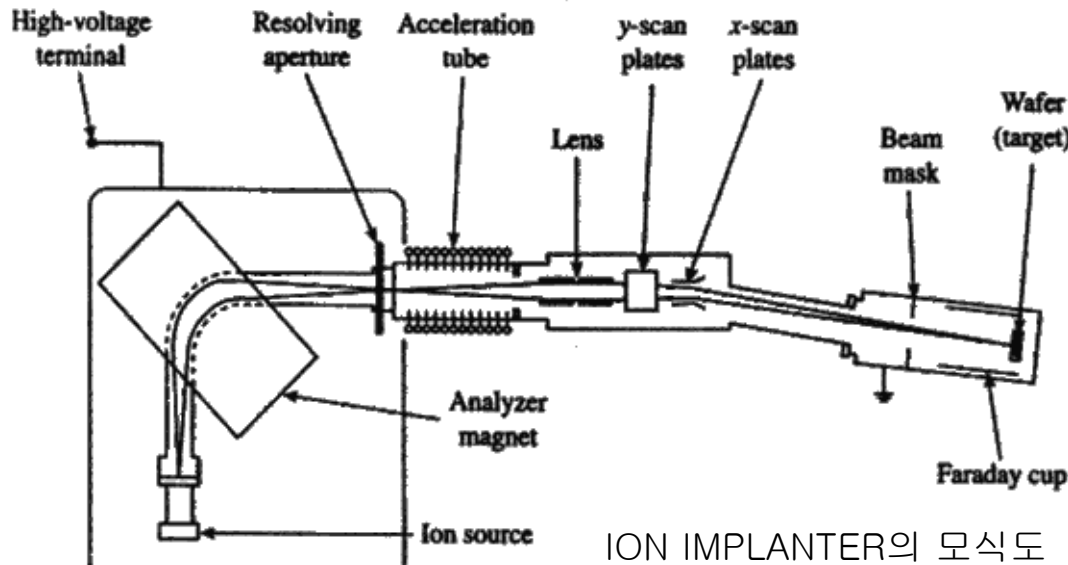


Ion Implant

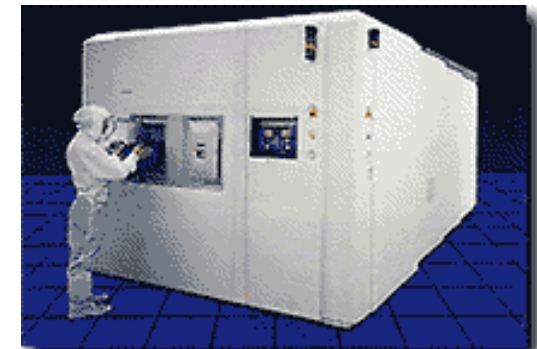
가전자대 혹은 p-type의 소자를 만들기 위해 B, Ga, In과 같은 업셉터 이온을 주입하는데 반면에 전도대와 n-type의 소자를 만들기 위해서는 Sb, As, P, Bi와 같은 불순물을 주입하기도 합니다



Ion Implanter Steering Magnets (Varian Associates)

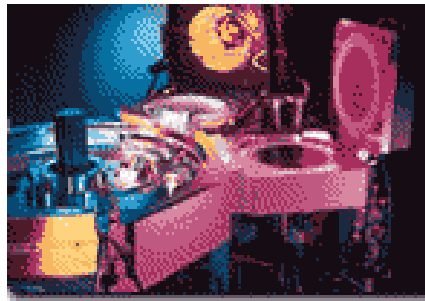


ION IMPLANTER의 모식도

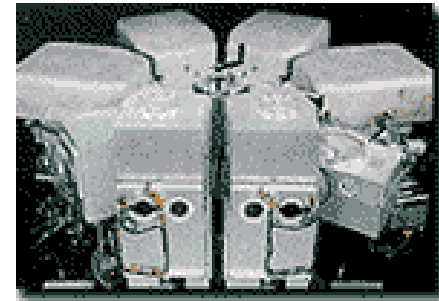


Ion Implanter (Varian Associates)

Chemical Vapor Deposition



CVD Tool
(Applied Materials)



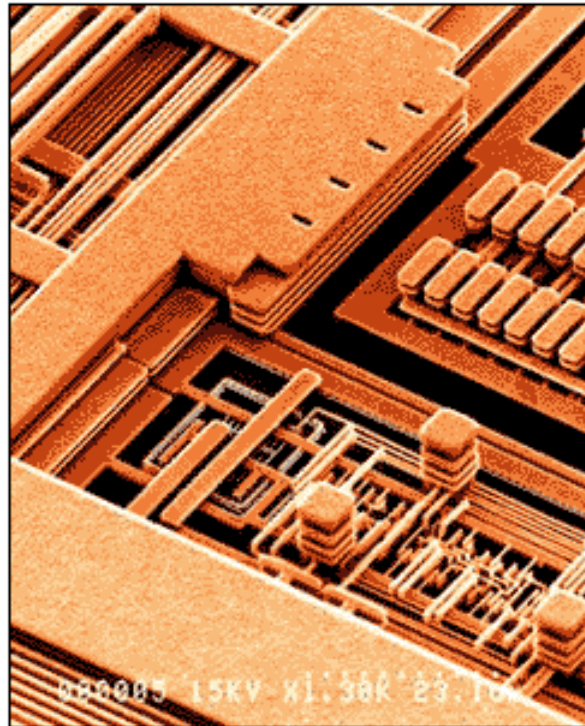
CVD Tool
(Applied Materials)

화학 기상증착법(CVD)는 웨이퍼위에 막을 형성하는데 화학적 반응을 조절하여 사용하는 넓은 과정중에 하나이다. CVD는 다양한 유형의 층을 생산할 수가 있는데, NH_3 와 SiCl_2 는 Si_3N_4 층을 만들고 Si와 산소는 SiO_2 층을 형성하는데 사용된다. 실리콘과 금속을 섞은 특별한 재료는 실리사이드(silicide)라 불리우는 전도층을 형성하는데 사용되기도 하고 WF_6 를 이용해 WSi층을 만드는데 사용되기도 한다. 개선된 플라즈마 혹은 RECVD라고 불리우는 CVD의 변형은 필름의 침전물과 화학적 반응을 얻는데 요구되는 온도로 낮추기 위해 가스 플라즈마를 사용한다. CVD챔버를 세척하는데는 일반적으로 NF_3 플라즈마를 사용하는데 여기서 묘사된 CVD는 'Cluster Tool'이라 불리우는 특별한 종류의 다중 체계 CVD입니다. 연속적인(in-situ)공정을 할 수 있다는 것임. APCVD, LPCVD 그리고 PECVD등 다양한 종류의 CVD등이 모두 IC 제조공정에서 전형적으로 사용되고 있다.

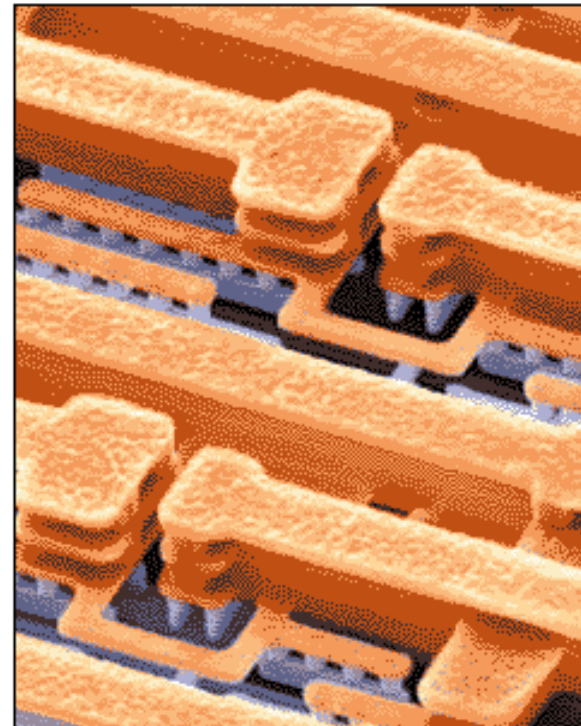


CVD Tool
(Applied Materials)

Copper Deposition

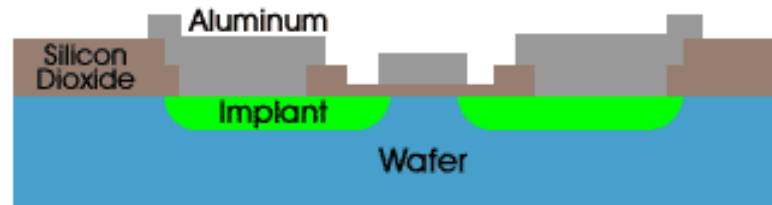


SEM view of Copper Interconnect
(IBM Microelectronics)



SEM view of Copper Interconnect
(IBM Microelectronics)

Metal Deposition

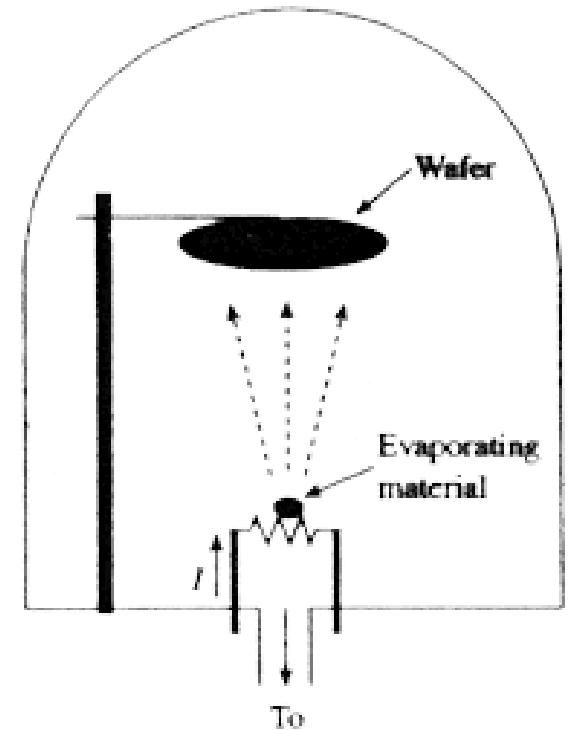


Metal Deposition

알루미늄이나 금 혹은 텅스텐 등의 금속은 소자에 전도층을 형성하는데 사용됩니다. 일반적으로 금속은 **이베포레이션(Evaporation:증류)**과 **스퍼터링(Sputtering)** 등의 두 가지의 다른 방법으로 주입되는데, 이것들은 박막 증착법의 범주에 속하는 것입니다.

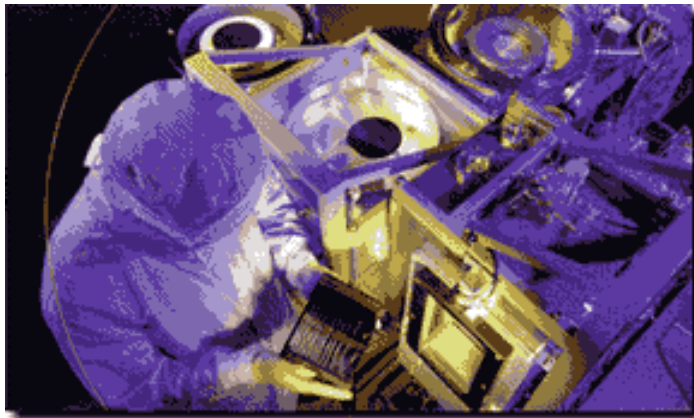
Evaporation :

전자빔이나 전기 필라멘트를 이용해 보트를 가열하여 보트위에 금속을 녹여 증류시키는 것입니다.

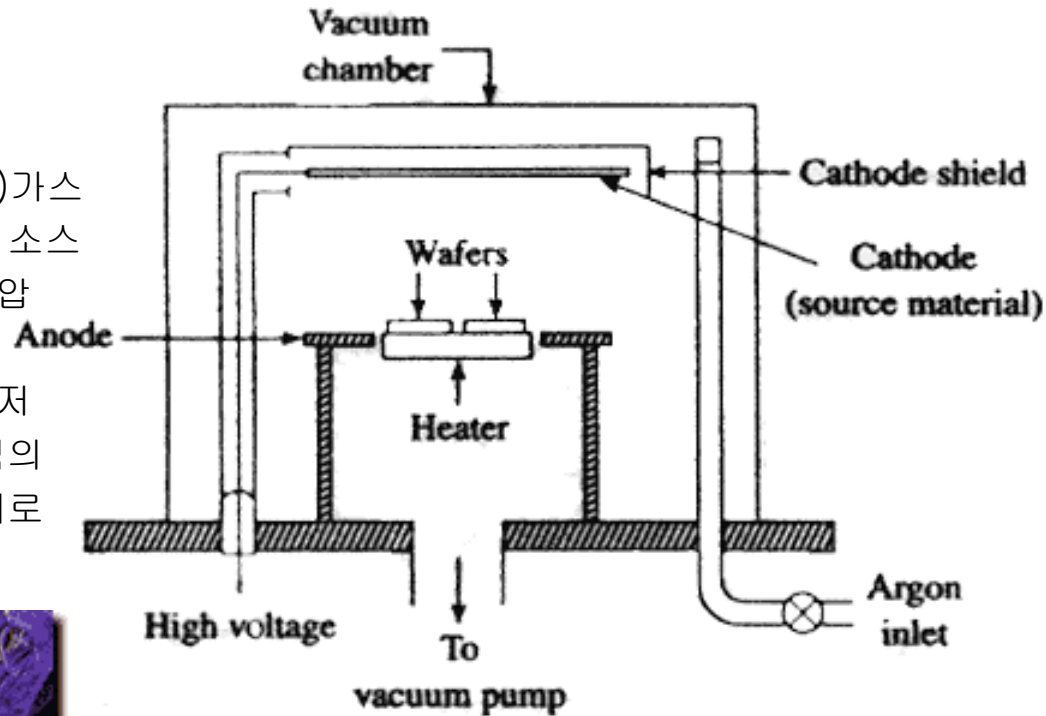


Metal Deposition

플라즈마를 생성하기 위해 아르곤(Ar)가스 분위기에서 캐소드 쉴드를 사용한다. 소스 물질과 기판은 그림에서와 같이 고전압 전원에 연결된 반대편의 평행판 위에 놓여지게 되는데 증착되는 과정은 먼저 챔버를 진공으로 만든 다음 낮은 압력의 스퍼터링 기체, 보통 아르곤을 챔버내로 흘려주게 된다.

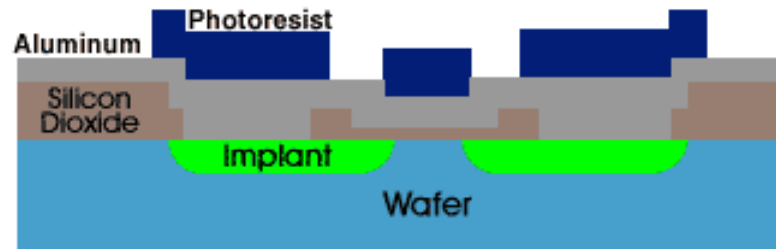


Thin Film Deposition
(Alcatel High Vacuum Technology)



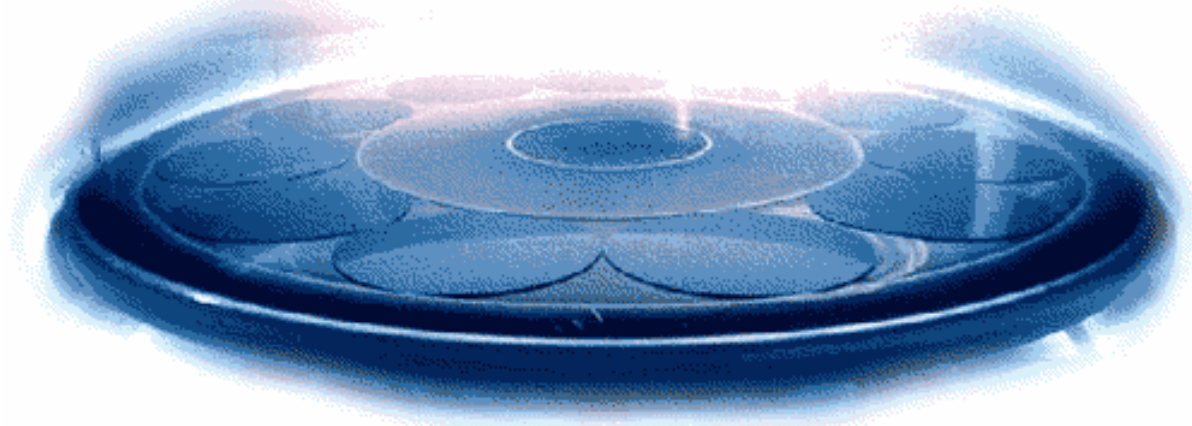
전극에 전압을 가해주게 되면 아르곤기체(Ar^+)를 이온화하게 되고 플레이트 간에 플라즈마가 발생한다. 소스 물질로 덮여있는 플레이트는 기판에 비해 음전위로 유지되므로 아르곤 이온은 소스물질이 덮여있는 플레이트로 가속되게 되는데 아르곤 이온의 충격으로 소스원자와 분자들은 플레이트로 부터 방출되어 웨이퍼로 날아가 증착이 되는 것입니다.

Metal Etch



Metal Etch

금속에칭은 소자의 전도회로의 길을 남겨놓기 위해 선택적으로 알루미늄층을 제거한다. 이 과정은 노출된 포토레지스트의 패턴에 남겨진 금속을 정교하게 제거해야만 한다. 동시에 남아있는 회로의 면들이 잘라내지는 것을 피해야 한다.(selectivity)

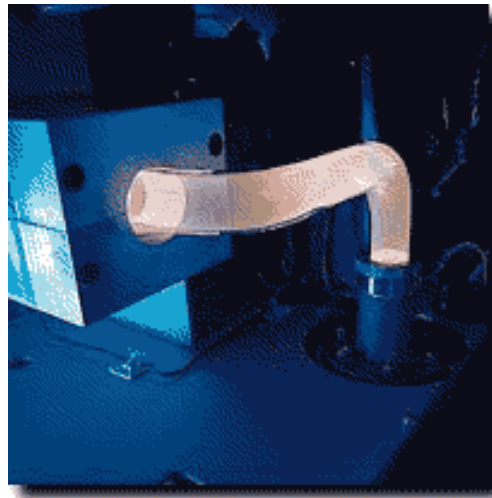


Dry Plasma Etch
(AT&T)

Ashing



Photoresist Develop & Strip



Plasma Asher
(Fusion Systems)

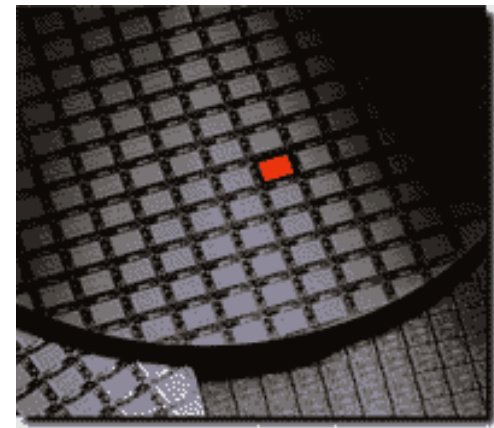
실리콘 위에 금 혹은 SiCl_4 , 염화규소층이 생성된 후에 남아있는 포토레지스트를 제거하는데 이는 'ashing'이라는 공정을 통해 이루어진다.

Probe Test & Die Cut

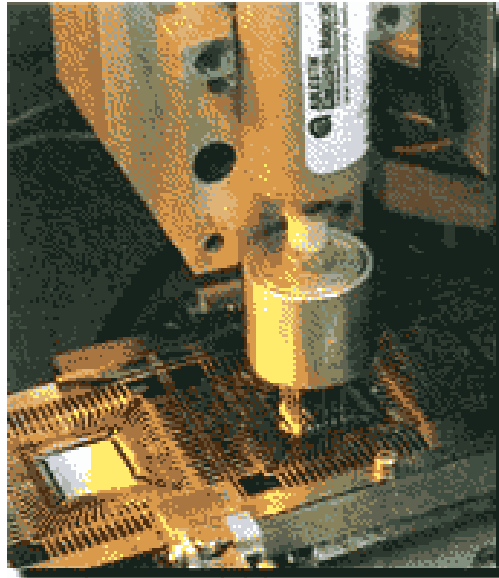


반도체의 표면위에 보호막을 씌운후에 웨이퍼는 후면준비(backside preparation) 이라는 공정을 거치는데 이는 얇은 웨이퍼로 하여금 열의 확산을 도와주고 손상을 야기시킬 수 있는 작은 조각들을 제거해 주는 공정이다. 각 각의 과정이 끝난 웨이퍼는 수백개의 실제적인 소자 혹은 다이(die)를 갖게 된다. 이러한 웨이퍼는 각 각의 칩(chip)으로 잘려지기 전에 웨이퍼 위의 각 소자들을 테스트해야 하는데 탐침 tester는 바늘모양으로 생긴 팁을 사용하고 각 소자(회로의 연결부분) 위의 결합패드와의 접촉에서 동작을 확인하게 된다. 테스트 결과 결함이 있는 소자는 염색하여 색으로 표시해서 구별하기 쉽게 하고 더 이상의 과정에 포함하지 않도록 한다.

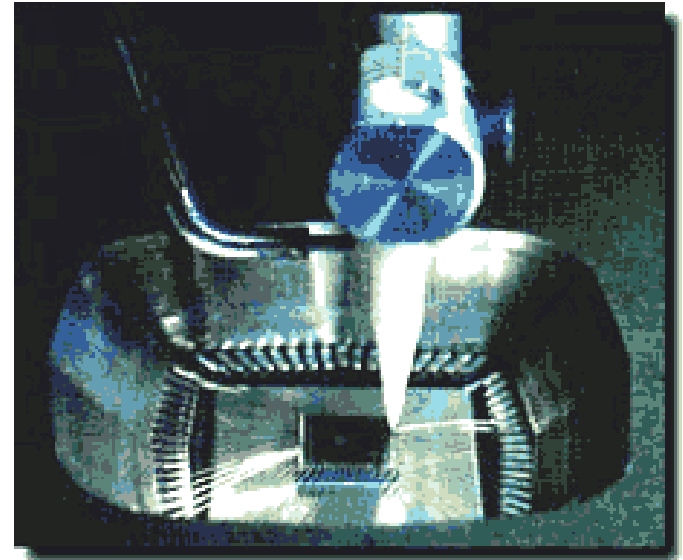
Passivation



Wire Bonding



Die Lead Frame Attachment
(Ablestik)



Wire Bonding
(Kulicke & Soffa Industries, Inc.)



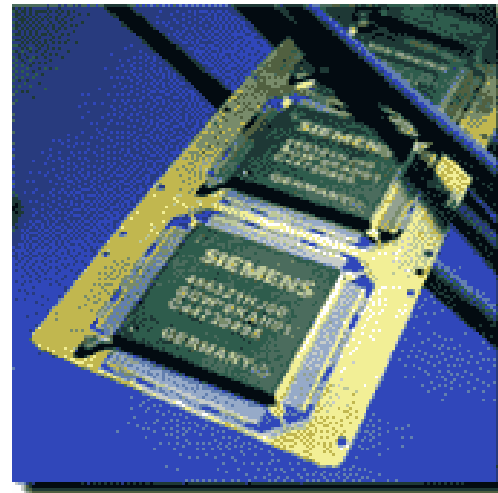
Wire Bonding
(Kaijo Corporation)

Packaging

Wire bonding이 끝난 이후에 소자에 세라믹 혹은 플라스틱으로 봉인하는 공정을 패키징이라고 합니다.



DIP (Dual Inline Package) Device
(AMD Corporation)



Quad Package Device
(Siemens AmG)