



1. 장치 ROADMAP

- 1-1 FURNACE
- 1-2 WET STATION

2. 장치 개요

- 2-1 FURNACE
- 2-2 WET STATION

3. 공정 ROADMAP

- 3-1 ISOLATION
- 3-2 GATE OXIDATION
- 3-3 DIELECTRICS
- 3-4 TOOLS
- 3-5 CLEANING

4. 공정 개요

- 4-1 OXIDATION
- 4-2 DIFFUSION
- 4-3 CLEANING

5. 핵심 공정

- 5-1 NO_x GATE
- 5-2 HSG(SAES)
- 5-3 Ta₂O₅
- 5-4 枚葉式 CLUSTER TECHNOLOGY
- 5-5 MARANGONI DRYER TECHNOLOGY

1 장치 ROADMAP

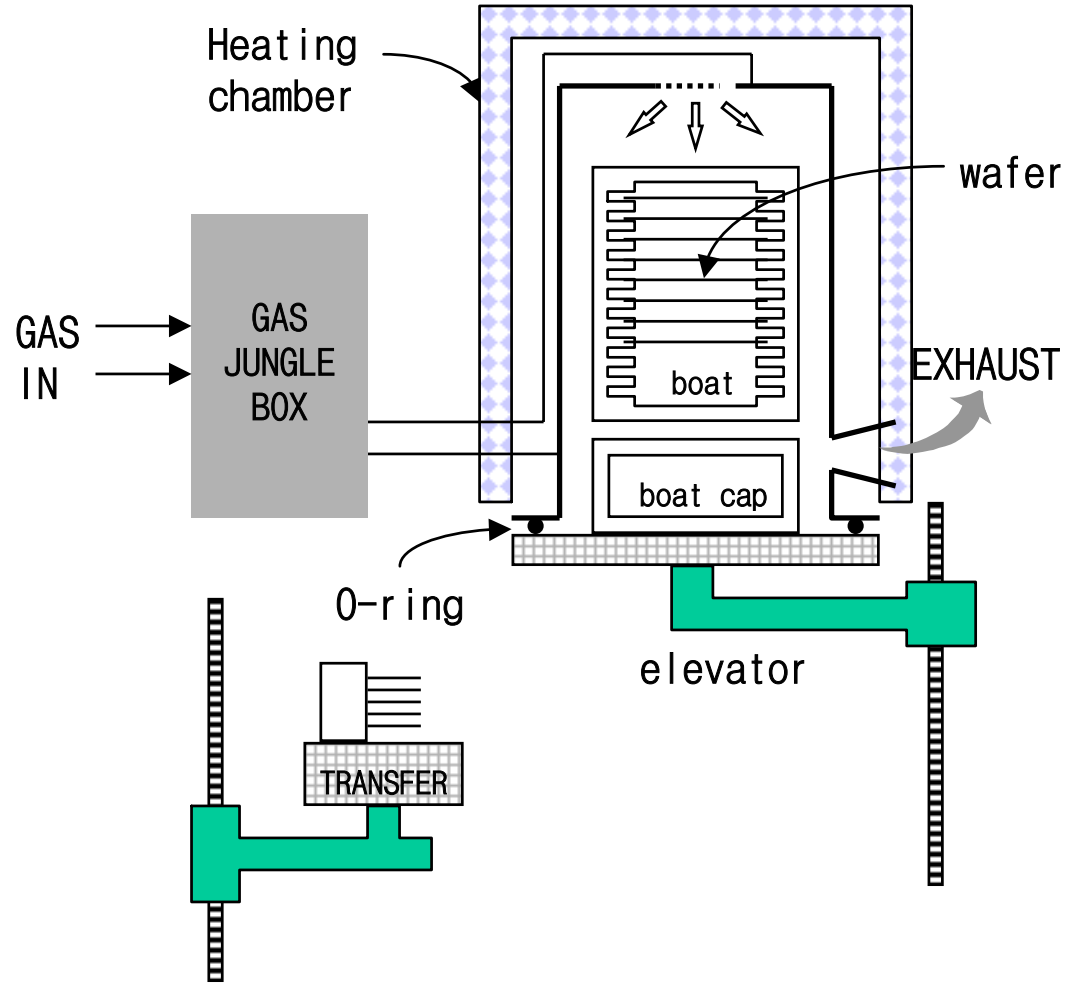
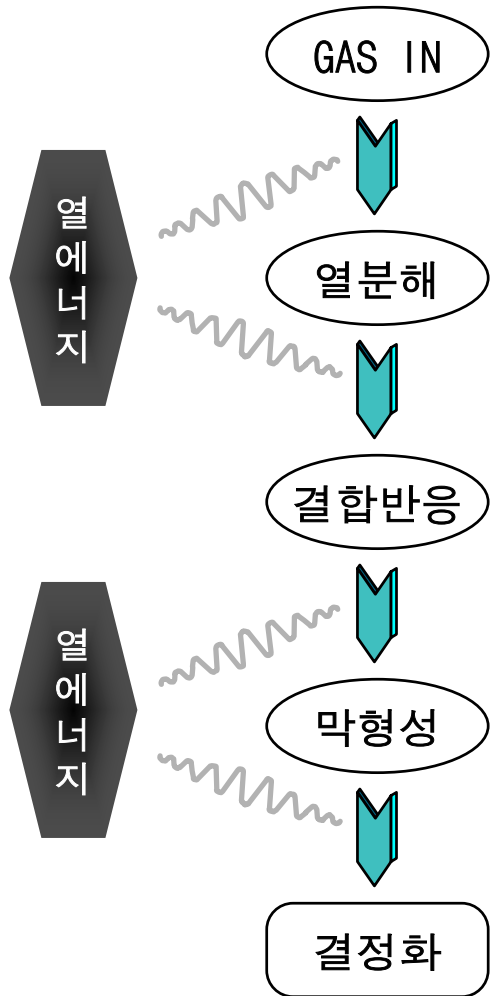
	1995	1996	1997	1998	1999	2000	2001	2002	2003		
DRAM(bits)	16M		64M			256M			1G	특징	
Design Rule	0.35um		0.25um			0.18um					
	Batch		Batch or Single			Mini-batch or Single					
FURNACE	Furnace										★ Through-put BIG
	RTP (single)										★ Uniformity GOOD
	Single process										★ Uniformity GOOD
	FTPS										★ Thermal damage SMALL
	Mini-batch										★ Furnace와 Single의 장/단점 보완
WET STATION	Wet Station										★ Through-put BIG
	1-bath type										★ Wet STATION과 Single의 장/단점 보완
	Single process type										★ Uniformity GOOD

	1995	1996	1997	1998	1999	2000	2001	2002	2003	특 징
DRAM(bits)	16M		64M			256M			1G	
Design Rule	0.35um		0.25um			0.18um				
FURNACE										<ul style="list-style-type: none"> ★ 장치 1대에 boat가 두개 있으므로 boat cooling, W/F handling time 절감 ★ 장치 1대에 chamber가 두개 있어, 교대 processing에 의한 공정시간 절감 및 효율적 W/F handler 운용 ★ 대기상태에서 고온의 chamber로 boat-in 시 W/F에 성장되는 자연산화막 생성을 N2 분위기로 억제 ★ reactor의 빠른 온도 up/down 가능으로 낮은 standby 온도설정에도 process time의 단축가능 ★ W/F 온도의 순간 up/down으로 thermal budget, 열산화막 제어 측면에서 유리하나 through-put이 낮음

	1995	1996	1997	1998	1999	2000	2001	2002	2003	
DRAM(bits)	16M		64M			256M			1G	특 징
Design Rule		0.35um		0.25um			0.18um			
WET cleaning										<ul style="list-style-type: none"> - throughput 큼 - 전용 bath로 약액 재사용 - 폐액 분리수거로 처리용이 및 타산업체에서 재활용이 - 황산, 인산 등 고농도약액 세정 대응가능 - footprint 大 - 장치가격 高 - cross contamination 잠재
										<ul style="list-style-type: none"> - footprint 小 - 약액 기인 오염가능성 無 - 약액 농도가 열은 전세정 공정용으로 적절 - W/S보다 through-put 낮음 - 약액사용량/폐액처리량 多 - 폐액 분리수거 불가
										<ul style="list-style-type: none"> - 타공정 장치와 cluster化 → 자연산화막 성장 억제 - 타 W/F 기인 count contamination 가능성 無 - 부대기능 추가부착 용이 - through-put 낮음 - water mark 발생가능성 有

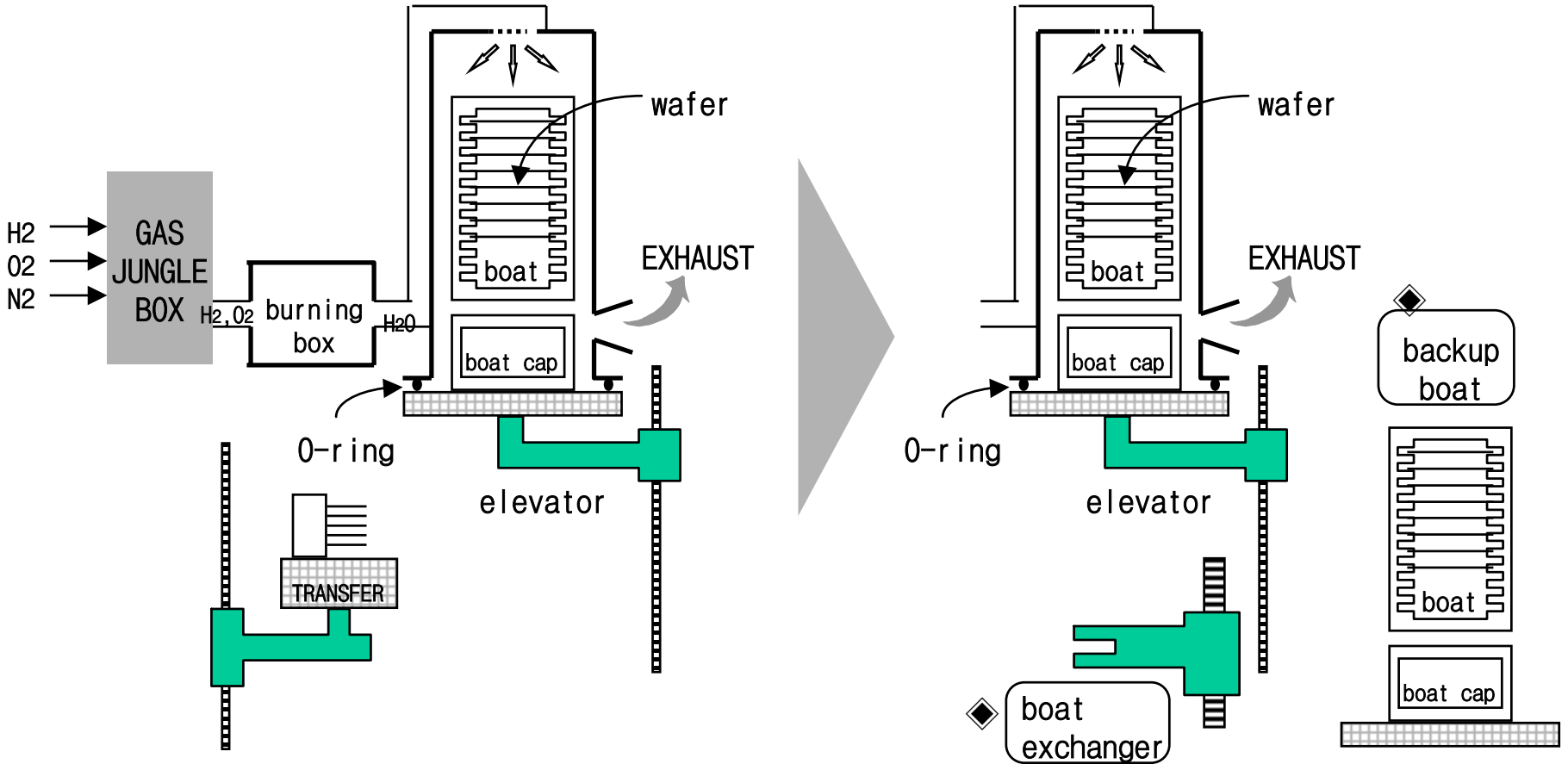
	Furnace	WET Station
반응특징	1) 반응에너지 : 열에너지 2) 반응원 : 생성물의 원소를 함유한 GAS	1) 반응에너지 : 열에너지, Megasonic 2) 반응원 : 반응용 CHEMICAL, DIW
Controlled factor	1) 반응온도 → T/C(Thermocouple) 2) 반응 gas 유량 → MFC 3) 반응압력 → Pirani 압력센서	1) 반응온도 → T/C, Pt 온도센서 2) CHEMICAL 농도 → Level 센서 3) DIW Resistivity → 비저항계
주요공정	1) 산화, 확산, 열처리 2) 산화막/질화막/다결정 실리콘 증착	1) Diffusion 전세정 2) Metal 전세정 3) PR/Si3N4 film strip
주요 관리 factor	1) DEPO rate & ETCH rate 2) 온도제어계의 calibration 상태 3) MFC calibration 상태 4) Contamination → Lifetime, C-V plot 5) 반송 particle & reaction particle 6) Q'tz & SiC cleaning 주기 7) Base pressure & leak rate (LPCVD) 8) O2 concentration (LoadLock) 9) 장치 가동율 10) MTTR & MTBF 11) PART 소모비용	1) ETCH rate 2) Chemical & DIW의 온도 3) DIW Resistivity 4) Chemical concentration 5) Contamination → Lifetime, DIW 비저항 6) 세정 전후 particle 증가량 7) DIW의 용존산소 농도 8) 가동율 9) MTTR & MTBF 10) PART 소모비용

생성막의 원소를 포함한 GAS에 열에너지를 공급하여 막생성/열처리 등의 반응을 일으킴



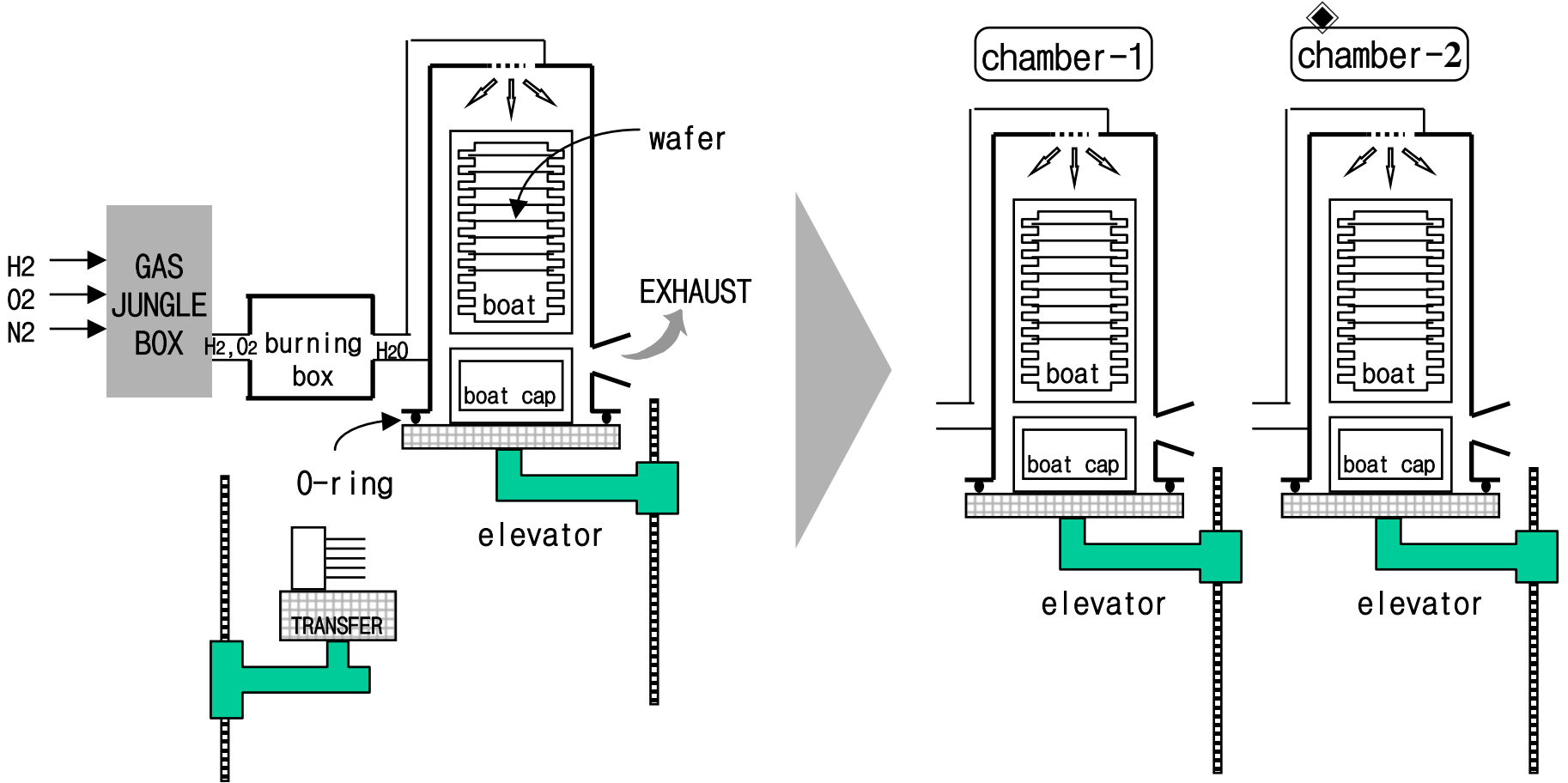
DUAL BOAT FURNACE

: 두개의 boat중 한개가 process 진행중일때 다른 backup boat에서 cooling & W/F loading/unloading을 함으로서, 그 만큼의 time loss를 없앴음



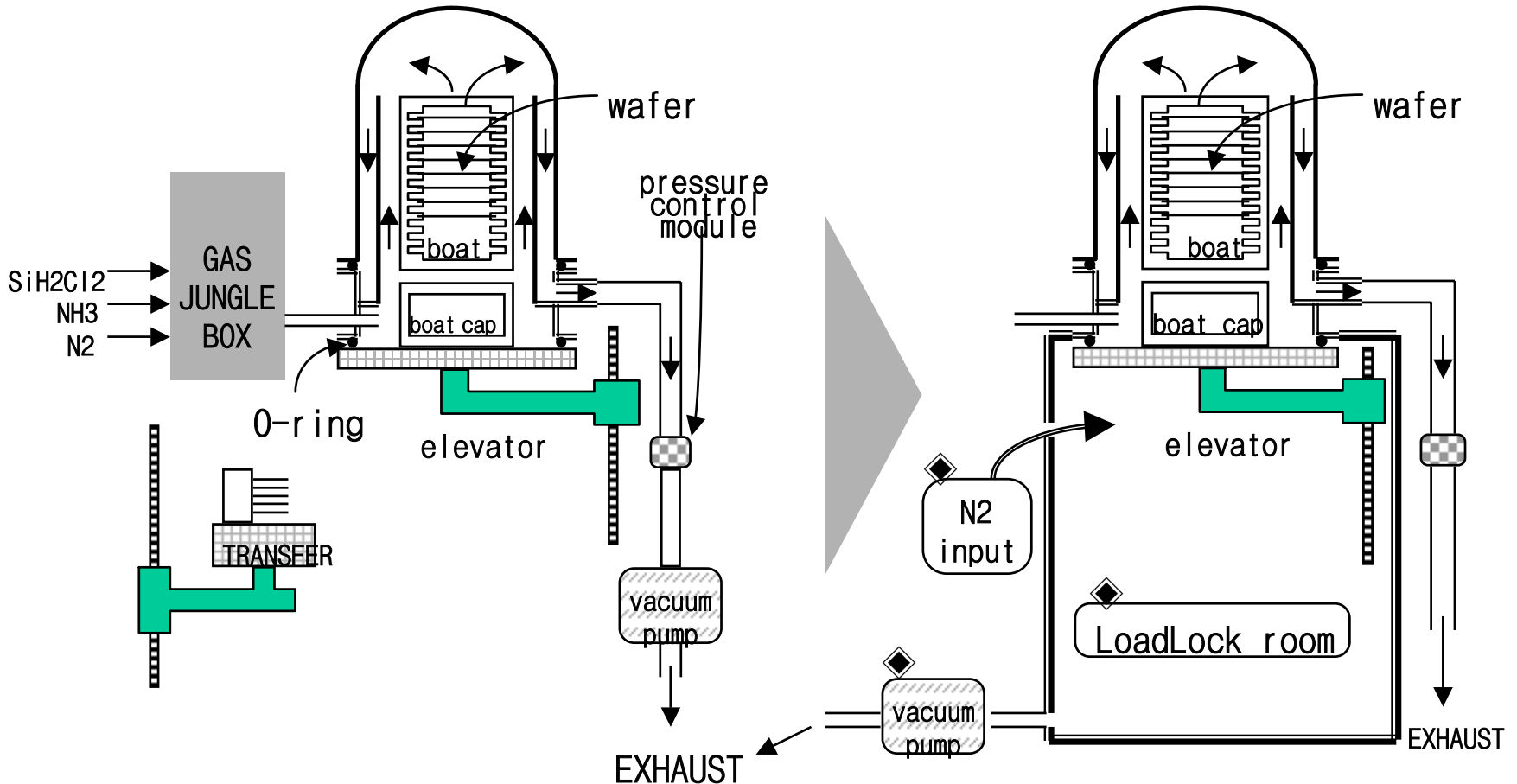
DUAL CHAMBER FURNACE

: 장치1대에 2개의 chamber로 구성되어 있어, process time이 boat cooling과 W/F handling time보다 길면, conventional type보다 2배의 capa-up이 됨



LOADLOCK FURNACE

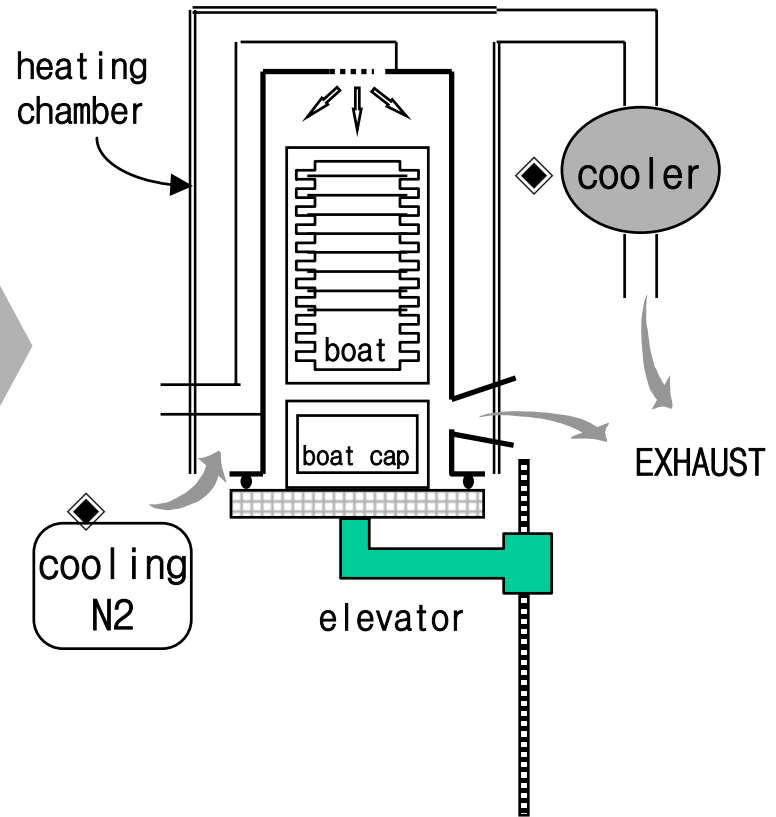
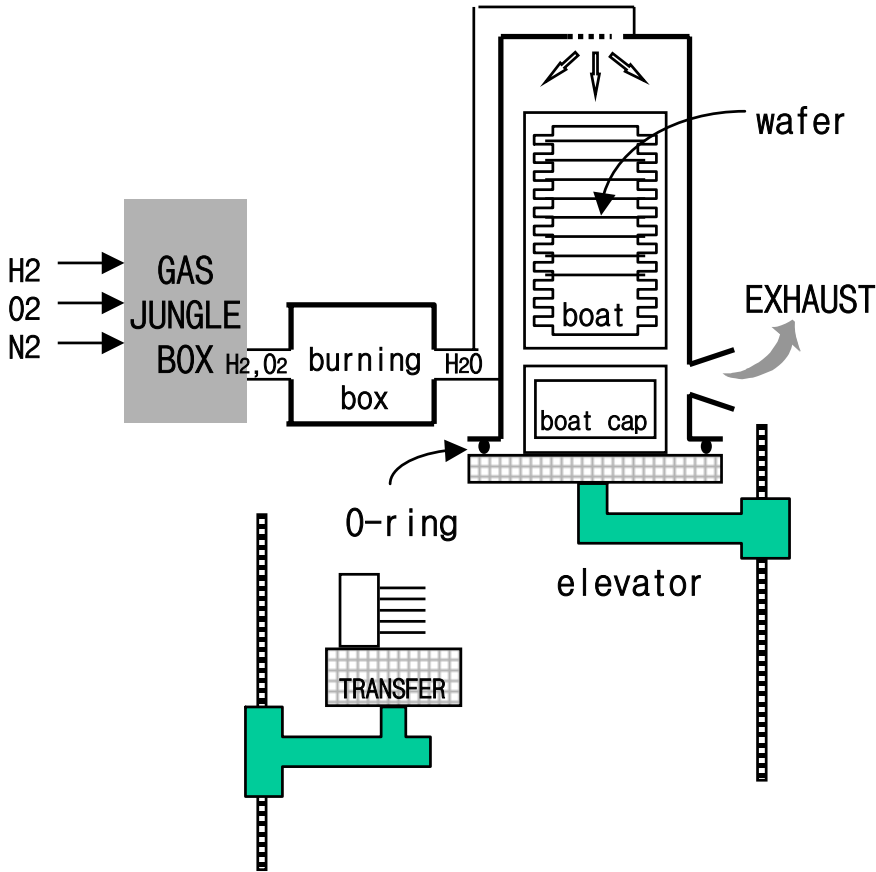
: boat up/down시 reactor 에서 발산되는 고열에 의해 공기중의 O2가 반응하여 자연 산화막 이 형성되는 것을 막기 위하여, 그 공간을 sealing 하여 비반응성 gas인 N2 분위기를 만들어 줌



FTPS
(Fast Temperature Process System)

: heating chamber와 process tube 사이에 cooling N2를 흘려 chamber의 냉각속도를 빠르게 한 장치임

◆ heating chamber가 급가온/급냉각으로 인한 열충격에 견디도록 특수제작 되었음



● 세정 장치:소자의 미세화 및 Wafer 대구경화로 신개념의 세정 장치 대응이 요구됨

DEVICE의 미세화 및 고집적화에 따라 세정 기술은 종래보다 고수준 및 고기능의 세정 효율이 필요하며 최종적으로 Wafer 건조기술이 요구되는 바, New Concept Dryer장치가 대두됨

건조 장치 요건

- 충분한 수분 제거
- 건조시 오염 저감
- COST 저감
- High Throughput

장치 운용시

건조 장치 문제점

- SPIN 건조시 회전에 의한 진동 이물 오염
- IPA V/D시 IPA 흡착 유기 오염
- 물방울 잔존에 의한 Water Mark
- 주변 치공구 오염에 의한 Chemical 오염

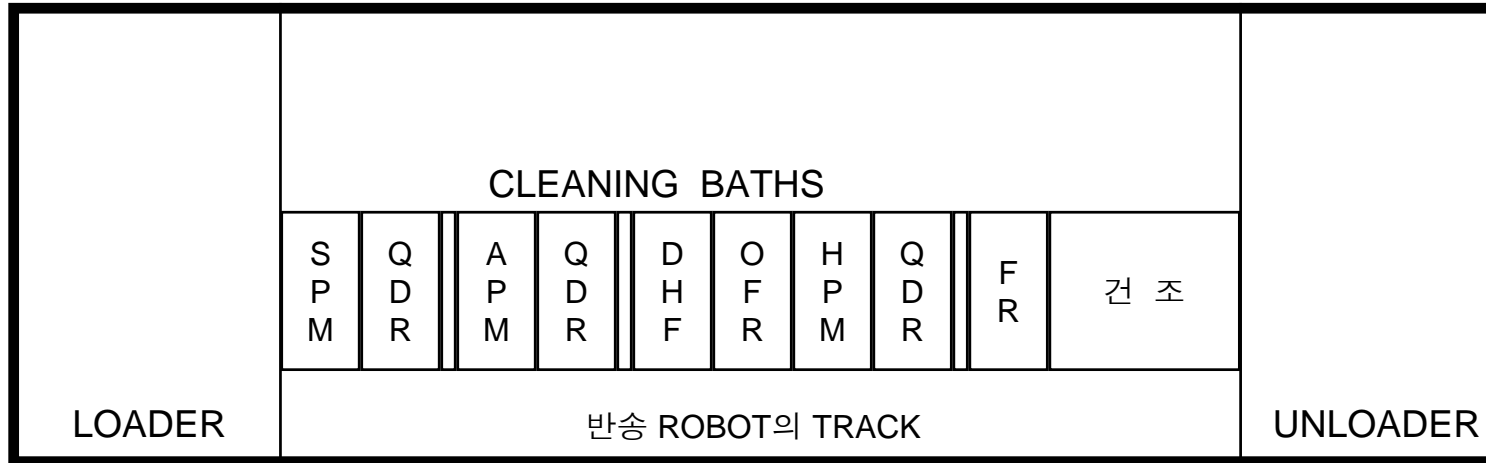
NEW 장치

NEW 건조 장치

- NEW CONCEPT 도입
 - MARANGONI DRYER
 - TEL NEW DRYER
- 대구경화 대응
- 세정액 오염 제거
 - ION FILTERING

WET STATION

: 현재 200mm WAFER 세정장치로서 가장 많이 사용되고 있는 장치로서 세정성능이 비교적 양호하고, 약액소모량이 적은 장점이 있음



1. 형 태

그림과 같이 각각 다른 전용 기능을 가진 여러개의 BATH를 일렬로 배치시켜, WAFER가 거처가면서 공정이 진행되도록 한 것.

2. 장 점

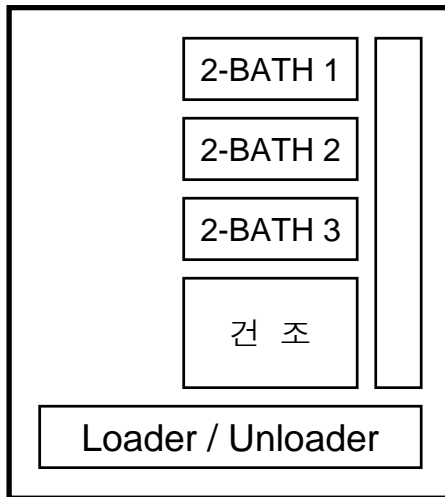
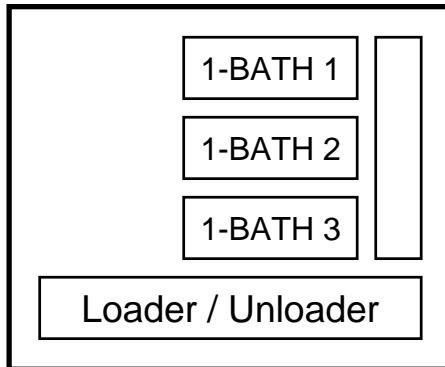
- 1)Throughput이 높음
- 2)전용 BATH로 약액 재사용
- 3)세정품질이 비교적 양호
- 4)Knowhow 축적 많음
- 5)고농도 약액 대응가능
- 6)폐액 분리수거로 처리용이

3. 단 점

- 1)장비가격 비쌈
- 2)Foot print가 큼
- 3)Cross contamination 잠재
- 4)Flexibility 없음

1-BATH CLEANER

: WET STATION 장치의 거대화로 인한 300mm에서의 한계를 극복하기 위해 등장한 것으로, 하나의 BATH로서 몇가지 공정을 하도록 제작한 것



1. 형 태

- 1) 1-BATH type : 하나의 BATH에서 세정과 건조를 일괄처리하는 형태로 되어있음
- 2) 2-BATH type : 세정과 건조를 분리시킨 형태로서, 세정 BATH에 건조를 위한 별도 장치를 장착해야 하는 1-BATH 장치 제작상 어려움을 보완한 장치

2. 장 점

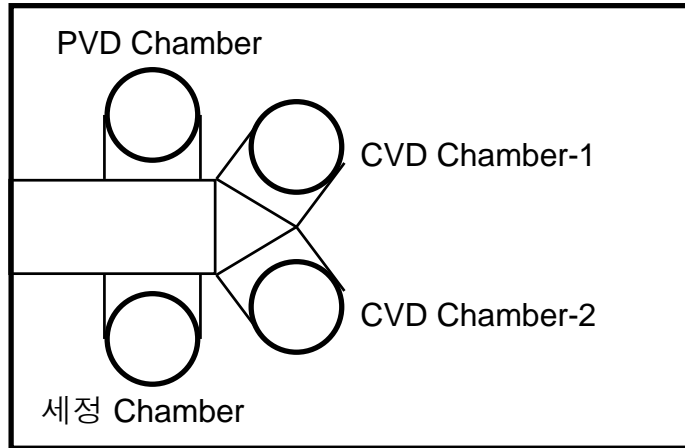
- 1)장비가격 싼
- 2)Foot print가 적음
- 3)Cross contamination 가능성 적음
- 4)Flexibility 없음
- 5)낮은 약액농도를 사용하는 전세정용으로 적절

3. 단 점

- 1)Throughput이 낮음
- 2)하나의 세정 BATH에서 몇가지 공정을 함으로서, 한번 사용한 약액은 재사용 못하고 버림
- 3)세정품질이 다소 떨어짐
- 4)New type으로 Knowhow 축적이 적음
- 5)고농도 약액 대응불가능
- 6)폐액 분리수거를 할 수 없어, 처리가 어려움

SINGLE PROCESS CLEANER

: 열처리공정이나 막 제조공정 등 세정 후 공정과 연속처리 할 수 있도록, Cluster 장치에 부착하여 사용하도록 제작된 세정장치



1. 형 태

열처리 공정용, 막 제조 공정용 등으로 사용하는 Cluster 장치에 부착할 수 있도록, Chamber 형태로 제작되어 있음

2. 장 점

- 1) 타 공정용 장치와 Cluster화 함으로서, 오염 및 Time delay를 방지할 수 있음
- 2) 자연 산화막 제어 용이
- 3) Batch type에서 batch내 타 wafer로 인해 발생할 수 있는 Count contamination 방지됨
- 4) 부가기능 추가부착이 용이함

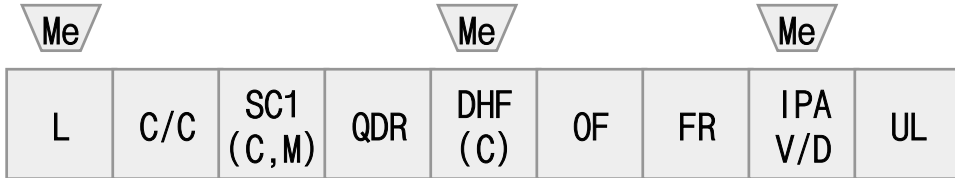
3. 단 점

- 1) Throughput이 낮음
- 2) Water mark 발생가능성 있음
- 3) Knowhow 축적이 적음
- 4) 각 Cluster 장치마다 1대씩의 세정장치를 부착함으로서, 운전효율성이 떨어짐

● 세정 장치 : Wafer 대구경화로 생산성 및 원가 절감을 위한 세정 장치 대응이 요구됨

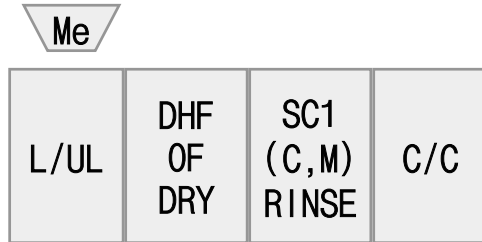
○ CONVENTIONAL WET-STATION

- ▷ 전세 목적에 따라 Chemical Bath 조성이 다름
- ▷ Mecha에 의해 Wafer가 이동되는 System임

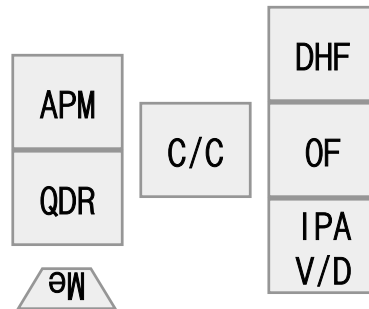


- ※ Me : Mecha
- ※ L : Load
- ※ UL : Unload
- ※ C/C : Chuck Clean
- ※ SC1(APM,U세) : NH4OH+H2O2+DIW
- ※ C : Circulation
- ※ M : Megasonic
- ※ QDR : Quick Dump Rinse
- ※ DHF : Dilute HF
- ※ OF : Over Flow
- ※ FR : Final Rinse
- ※ V/D : Vapor Dry

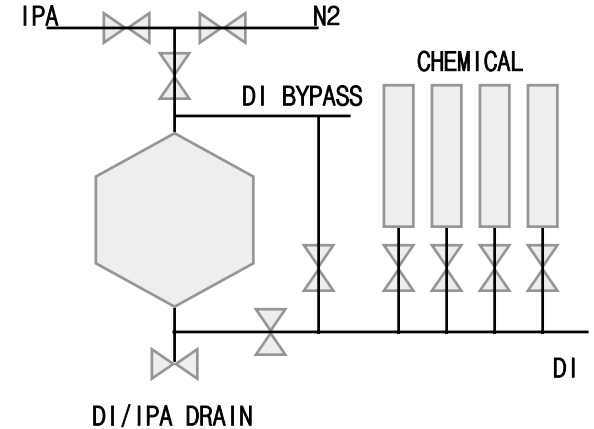
○ TWIN BATH SYSTEM(SUGAI社)



○ REDUCED BATH SYSTEM(TEL社)

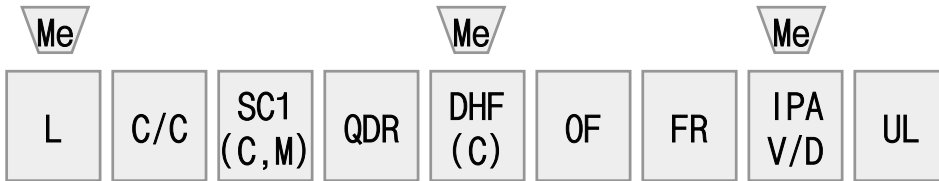


○ SINGLE BATH SYSTEM(CFM社)



● 세정 장치 :

● MULTY BATH SYSTEM (PRE CLEANING)

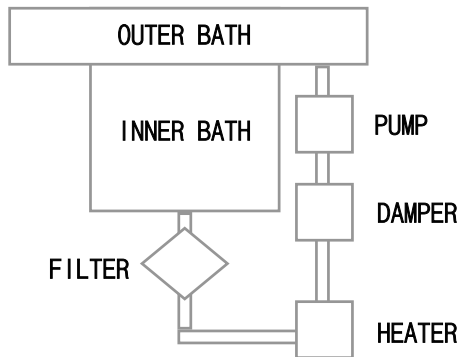


▶ PROCESS : SC1 -> RINSE -> HF -> RINSE -> DRY

● 동작 원리

- ▶ SC1:NH4OH+H2O2+DIW
 - Organic, I,II족 Metal 제거
- ▶ DHF:HF+DIW
 - 자연산화막, Metal 제거
- ▶ QDR BATH
 - DIW(탈이온수) 급수 및 배수
 - HOT/COOL Shower 방식
- ▶ OF BATH:QDR에서 제거 안된 이물 제거
- ▶ FR BATH:비저항 측정 및 세정효과 확인
- ▶ IPA V/D:잔류 수분을 IPA증기로 제거

○ CIRCULATION SYSTEM



- ▷ PROCESS
- CHEMICAL ->
- PUMPING ->
- DAMPERING ->
- HEATING ->
- FILTERING ->
- INNER BATH

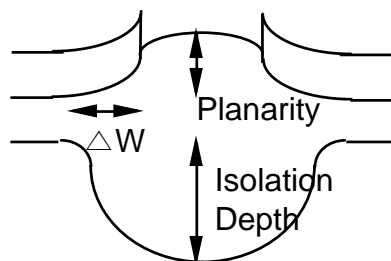
○ Circulation 동작 원리

- ▷ Outer Bath의 Chemical
- ▷ Pump로 유량을 가속
- ▷ Damper로 유량 흐름을 일정하게 유지
- ▷ 공정 온도에 맞게 Heater로 가열
- ▷ Filter로 이물을 정제
- ▷ Inner Bath로 세정액 재공급

	1995	1996	1997	1998	1999	2000	2001	2002	2003	특 징
DRAM(bits)	16M		64M			256M			1G	
Design Rule	0.35um		0.25um			0.18um				
Isolation	C-LOCOS 구조 - Bird's beak 축소 - Field thinning effect - Boron 침식		M-LOCOS 구조 - Transition period - Not scalable			DTI, SEG 구조 - Bird's beak free - High latch-up imunity - Perfect planarity - Low RC delay - Scalable				* 소자 축소화로 구조 변경 * Thermal burget 감소위한 저온화(1000℃ 이하) * Etch damage 저감 * Plug stress 제어
Gate	Thickness > 65 Å - PLANAR GATE - STACK 구조		Thickness ~ 50 Å - DUAL GATE - THIN OX 구조			Thickness ~ 40 Å - METAL GATE - 신구조				* Gox 두께 최소화 * Channel 농도 증대화 * 신구조 개발
Dielectric	NO, HSG(SAES)		Ta2Ox-MIS - TiN 하부 전극			Ta2Ox-MIM - TiN 상부 전극		BST-MIM, STO - Stack 구조		* 상.하부 신전극 개발 * UV-O2 산화 기술 * 열처리후 후세 처리 기술
Tools	Vertical furnace - Large batch - Hot Wall 방식		V/F, FTPS, RTP - Large & Mini batch, Single type - Cold & Hot Wall 방식			Single processor - 대구경화 - Cluster화				* 자연 산화막 제어 * Cluster화 기술
Cleaning	Wet cleaning - Cassette type		Wet & Dry cleaning - Carrierless, Single process			New cleaning - Cluster화				* Dry cleaning 기술 * New dry 기술 * Cluster화 기술

	1995	1996	1997	1998	1999	2000	2001	2002	2003	
DRAM(bits)	16M		64M			256M			1G	특 징
Design rule	0.35um		0.25um			0.18um				
Cell pitch	1.2 ~ 0.9um		0.9 ~ 0.6um			0.6 ~ 0.4um			Isolation pitch	
Scheme	C-LOCOS		PTI (M-LOCOS)			PTI+(DTI)			Cross section	
Structure	Coventional LOCOS		Modified-LOCOS STI(Shallow Trench Isolation) PTI(Profiled Trench Isolation) PBL(Poly Buffered LOCOS) PSL(Poly Sidewall LOCOS) OSELO(OffSEt nitride LOcos)			DTI(Deep Trench Isolation) SEG(Seleective Epitaxial Growth)			* 소자 축소화로 구조 변경 * Masking Layer(NiT/Ox) * Trench Formation(Etch) * Liner Formation(Thermal Ox) * Side-Wall I/I(Angle I/I) * Trench Filling(O3-TEOS) * Planarization(CMP/RIE)	
Remarks	- Bird"s beak 한계 - Field Thinning Effect - 열산화시 Boron 침식 - Not Scalable		- Transition period - Not Scalable			- Bird's Beak Free - High latch-up imunity - Perfect Planarity - Low RC Delay - Scalable			* Thermal burget 감소 위한 저온화 * Etch damage 저감 * Plug stress 제어	

Conventional- LOCOS



* Idealized Isolation Structure

1. $\Delta W = 0$ (Zero B/B)
2. Isolation Depth $> 0.25\mu\text{m}$
3. Planarity

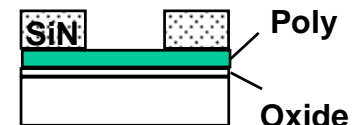
Limitation

1. B/B
2. Stress & Defect
3. Field Oxide Thinning
4. Narrow width effect
5. Junction Leakage
6. Punchthrough
7. Field Inversion

Modified LOCOS

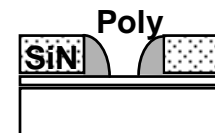
PBL (Poly Buffered LOCOS)

- Nitride / Poly / Oxide
- Oxidation Stress Relief
- Shallow Isolation Depth



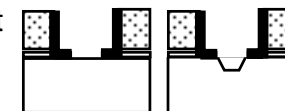
PSL (Poly Sidewall LOCOS)

- Decrease of Oxide Thinning Effect
- Planarization Problem



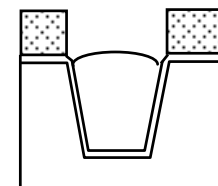
OSELO / OSELO II

- Reduction of Encroachment
- Stress Problem
- Complex Process



Shallow Trench Isolation

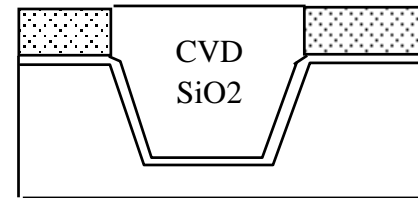
- Minimized Isolation Width
- Latch-up Prevention
- Complex Process



- ※ B/B = Bird's Beak
- ※ LOCOS = LOCAL Oxidation of Silicon
- ※ OSELO = OffSEt nitride LOCOS

Profiled Trench Isolation (PTI)

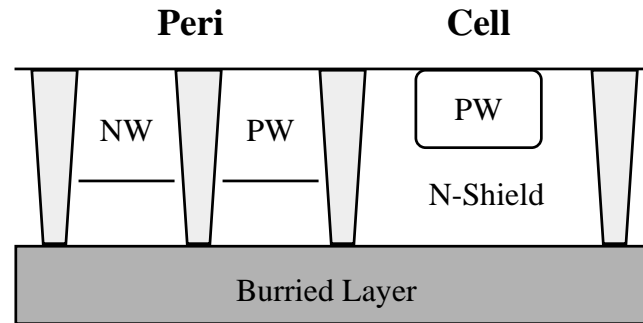
- Minimized Isolation Width
- Higher Latch-up Immunity
- Neary Perfect Planarity
- Complex Process



ITEM	DIRECTIONS	REMARKS
Pad Masking Layer	Effective masking for Si-etch, CMP planarization	Affeccted from light source
Trench Si Etch	Tapered angle with minimum surface damage	Tapered top coner etch
Coner Rounding	By simple thermal oxidation	Narrowing space opening
Trench Gap-Fill	No void, crack, defect on Si-sub	Difficult filling < 0.20um
Planarization	Single CMP with min, dishing effect	Time -> EOP polishing
Process Integration	Minimum oxide recess at edges	Bird's beak free

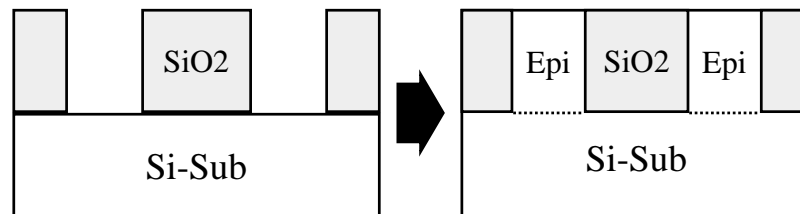
**Deep Trench Isolation (DTI)
+ Burried Layer**

- Wel to Well Isolation for Latch-up Free
- Large Layout Shrinkage in LOGIC
- Gap Fill Difficulty



Selective Epitaxial Growth (SEG)

- Advanced Epitaxial Technilogy
- No Gap Fill Limitation
- Perfect Planarity



	1995	1996	1997	1998	1999	2000	2001	2002	2003	특징
DRAM(bits)	16M	64M		256M			1G			
Design rule	0.35um			0.25um			0.18um			
Gate	> 6.5nm			~ 5.0nm			~ 4.0nm			Oxide thickness
Gate film	SiO2			SiON/SiO2			Ta2O5/SiO2			Film 구성
Gate node	W Policide			Ti Salicide			Co or Ni Salicide			Node 구성
S/D node	Si			Ti Salicide			Co or Ni Salicide			S/D Node 구성
Capa. insulator	Si3N4			Ta2O5						Insulator 물질

Shallow JN Gox

SiO2 Film

SiO2 Film Limit

Gate Line

d-poly Si

Si3N4 Film 채용

	1995	1996	1997	1998	1999	2000	2001	2002	2003	특징
DRAM(bits)	16M	64M		256M			1G			
Design rule	0.35um			0.25um			0.18um			
Gate	> 6.5nm			~ 5.0nm			~ 4.0nm			Oxide thickness
Tr. transition	LDD			Gate overlap LDD			New SA			Structure
Gate insulator	Twin Well N+-Poly/Polycide SD(Single Drain) DD(Double Drain) LDD(Light Doped Drain) Wet ox Stack			Retrograde Twin Well Dual Gate/Salicide UV-O2 산화 Thin ox.			NEW Well Structure - Thin SOI - Self Aligned Structure - α - doping Metal Gate Low Temp. Process			* 소자 축소화로 구조 변경 * Masking Layer(NiT/Ox) * Trench Formation(Etch) * Liner Formation(Thermal Ox) * Side-Wall I/I(Angle I/I) * Trench Filling(O3-TEOS) * Planarization(CMP/RIE)
Remarks	- Bird"s beak 한계 - Field Thinning Effect - 열산화시 Boron 침식 - Not Scalable			- Transition period - Not Scalable			- Bird's Beak Free - High latch-up imunity - Perfect Planarity - Low RC Delay - Scalable			* Thermal burget 감소 위한 저온화 * Etch damage 저감 * Plug stress 제어

● Dielectric: 소자의 박막화로 SiO₂의 물리적 한계가 대두되어 New Material이 요구됨

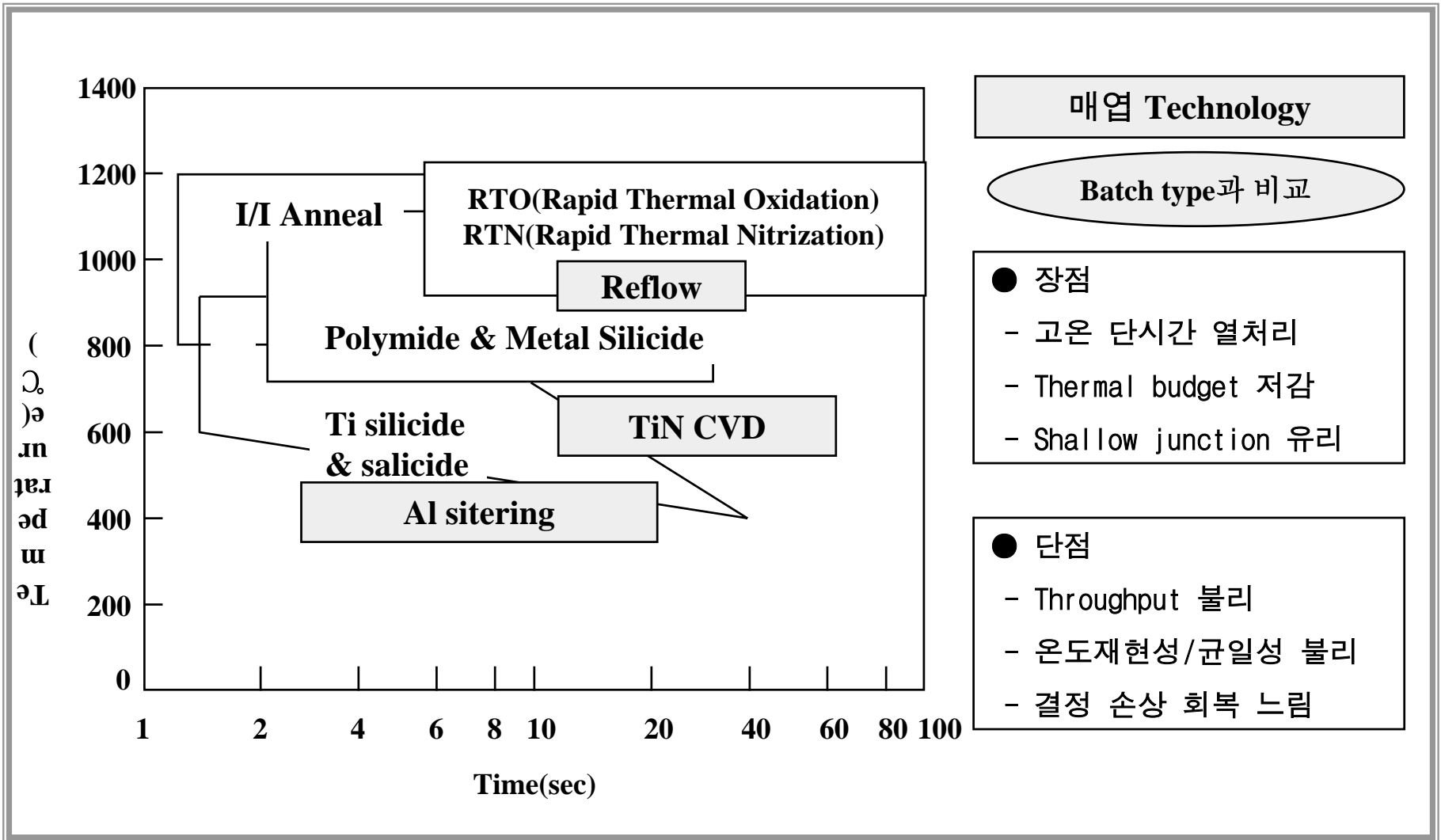
종류	막질	형성 방법	k (fF/um ²)	두께 (Å)	특성
Silicon계	SiO ₂ Si ₃ N ₄ ON/ONO	Thermal Ox	4 7 4~7	100 < 100 < 50~60	▷ 내산화성 및 신뢰성 문제 ▷ 50°C의 물리적두께 한계성
고유전계	Ta ₂ O ₅ (금속산화물)	Thermal Ox Sputtering PECVD Photo CVD MOCVD	25	16.25~35	▷ 우수한 Step-coverage ▷ Depo rate 최적화 ▷ Plasma damage 저감 ▷ Leakage current 저감
강유전계	*ABO ₃ PZT - Pb(Zr,Ti) _{0.3} PLT - (PbTiO ₃)/La STO - SrTiO ₃ BST - (Ba,Sr)TiO ₃	* Perovskite Sol-Gel Sputtering CVD RF MOCVD	> 1000 150~200 200~700	2.1~13	▷ 자발 분극 성질 (강유전성 화합물/금속산화물) ▷ Leakage current 저감 ▷ Plasma damage 저감

● NO Dielectric:최소 유효 두께 Limit가 4.5nm로 256M 시대부터는 기술적 한계에 도달

DEVICE	MATERIAL	EFFECTIVE THICKNESS	특성	LIMITATION	IMPROVEMENT	REQUIREMENTS	
64K	SiO2 단일층	> 200 nm		특성	<ul style="list-style-type: none"> ▷ 고온 공정 ▷ OXIDATION 저항 감소 ▷ 누설 전류 증가 ▷ 자연 산화막 발생 	<ul style="list-style-type: none"> ▷ RTN공정 채택 ▷ LOADLOCK CVD 증착 * in-situ HF Vapor clean 	<ul style="list-style-type: none"> ▷ 고유전 상수 ▷ 저누설전류내 High 전장 동작 ▷ LOW DEFECT DENSITY ▷ 고신뢰성 ▷ 최적 온도/화학적 안정성 ▷ Si 공정과 적합성
256K	SiO2 단일층	~ 150 nm					
1M	SiO2, SiO2/Si3N4	~ 10 nm					
4M	SiO2/Si3N4/SiO2	~ 8 nm					
16M	TRANSITION	~ 6 nm					
64M	SiO2/Si3N4 이중층	~ 5 nm					
256M	SiO2/Si3N4 이중층	< 4.5 nm					
1G	SiO2/Si3N4 이중층	?					

● Dielectric Material : Si계열의 물리적 두께 한계로 신물질의 필요성이 대두됨

유전물질	장점	단점	경향
Ta205	<ul style="list-style-type: none"> ▷ 기존 Si 공정과 적합 (Poly-Si, W/Ti하부전극) ▷ 혼합 조절이 용이 ▷ 고 Breakdown Voltage 	<ul style="list-style-type: none"> ▷ 저유전 상수 (~25) ▷ 3차원 CAPACITOR 구조 	<ul style="list-style-type: none"> ▷ 제품별 사용 물질 <ul style="list-style-type: none"> - DRAM : BST, ST0, BT - FRAM : PZT, ST0, Bi
BST	<ul style="list-style-type: none"> ▷ 혼합 조절이 용이 ▷ 양질의 전기적 성질 (저누설전류) ▷ Paraelectric 특성 ▷ NON TOXIC 	<ul style="list-style-type: none"> ▷ 기존 Si 공정과 부적합 	<ul style="list-style-type: none"> ▷ 고유전체 분포 <ul style="list-style-type: none"> - PZT(32%) - Bi Family(20%) - BST(14%) - ST0(9%) - BT(5%) - 기타(21%)
PZT	<ul style="list-style-type: none"> ▷ 고유전 상수 ($\epsilon \geq 1000$) 	<ul style="list-style-type: none"> ▷ Ferroelectric 특성 (Aging, Fatigue) ▷ 낮은 전기적 성질 (고누설 전류) ▷ TOXIC ▷ 기존 Si 공정과 부적합 	<ul style="list-style-type: none"> ▷ BST 증착 기술 분포 <ul style="list-style-type: none"> - SPUTTER(32%) - CVD(29%) - LASER(18%) - 기타(18%)

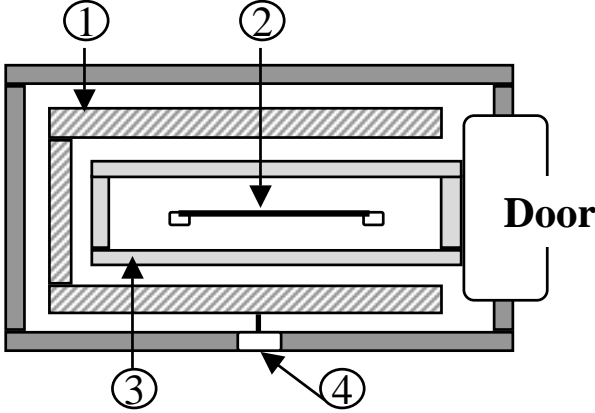
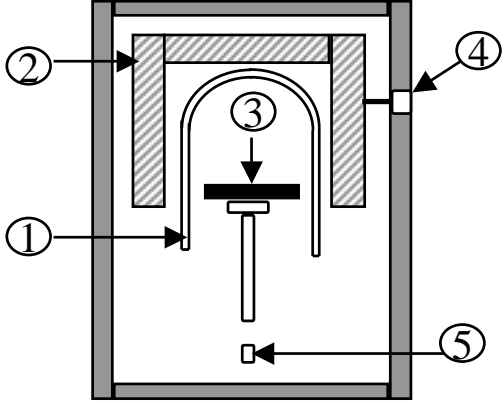


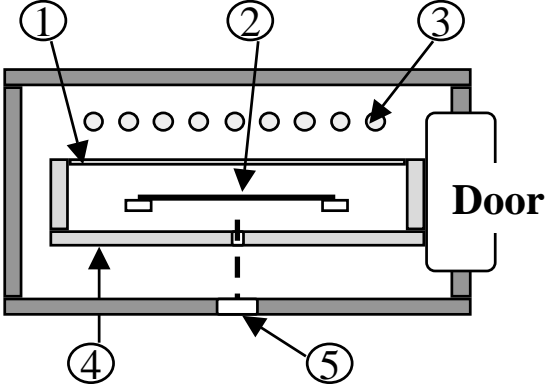
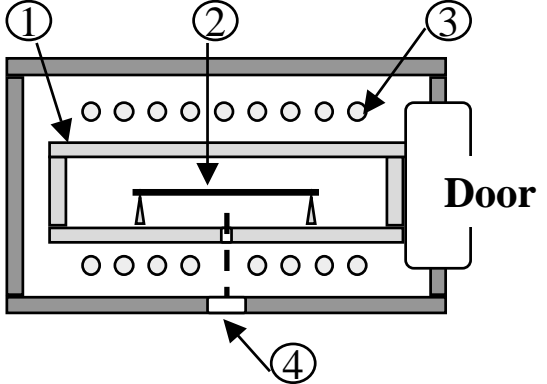
매업 Technology

Batch type과 비교

- 장점
 - 고온 단시간 열처리
 - Thermal budget 저감
 - Shallow junction 유리

- 단점
 - Throughput 불리
 - 온도재현성/균일성 불리
 - 결정 손상 회복 느낌

Type	Hot Wall Type	
Diagram	 <p>① 저항 가열 Heater ② Wafer ③ Quartz chamber ④ Thermo Couple</p>	 <p>① SiC chamber ② 저항 가열 Heater ③ Wafer ④ Thermo Couple ⑤ Pyrometer</p>
Features	<ul style="list-style-type: none"> ▶ 온도 안전성 . 재현성 양호 ▶ 반응성 . 부식성 GAS 대응 용이 ▶ Chamber 세정 및 교환이 용이 	<ul style="list-style-type: none"> ▶ 온도 안정성 . 재현성 양호 ▶ 반응성 . 부식성 GAS 대응 용이

Type	Cold Wall Type & Warm Wall Type	
Diagram	 <p>① Quartz window ② Wafer ③ Halogen lamp ④ Metallic chamber ⑤ Pyrometer</p>	 <p>① Quartz chamber ② Wafer ③ Halogen lamp ④ Pyrometer</p>
Features	<ul style="list-style-type: none"> ▶ 고온처리에 적합 ▶ 감압 대응이 용이 	<ul style="list-style-type: none"> ▶ 고온 처리에 적합 ▶ 반응성.부식성 GAS 대응 용이 ▶ Chamber 세정 및 교환이 용이

● Thin Film & High Quality Film 성장을 위한 Requirements

해결 과제	과제 내용
1. Native oxide film 제어	<ul style="list-style-type: none"> - 자연 산화막 제거 및 원자층 Level에서 제어 - Si 표면의 자연 산화막 제어 - Si/Film interface의 제어
2. Thermal budget 저감	<ul style="list-style-type: none"> - 저온 Process - Short time의 High 정밀도 Process
3. 무조정 Process	<ul style="list-style-type: none"> - Process parameter의 완전 제어
4. 철저한 Clean화	<ul style="list-style-type: none"> - 취급 신호량 감소의 장치 구성 부재 Clean화 - Material의 종합적 Clean화
5. Process integration	<ul style="list-style-type: none"> - Wafer 대구경화에 대응 - 매엽 방식의 Cluster화

◎ Technology 동향 : Wafer 대구경화 및 신규 공정에 대응

Batch type

Horizontal Furnace

- Large batch type
- Large dead zone volume
- Nonuniformity



Vertical Furnace

- Large batch type
- Compact volume
- Good uniformity

제어 기술

- ◆ Thermal budget
- ◆ Native oxide

Single type

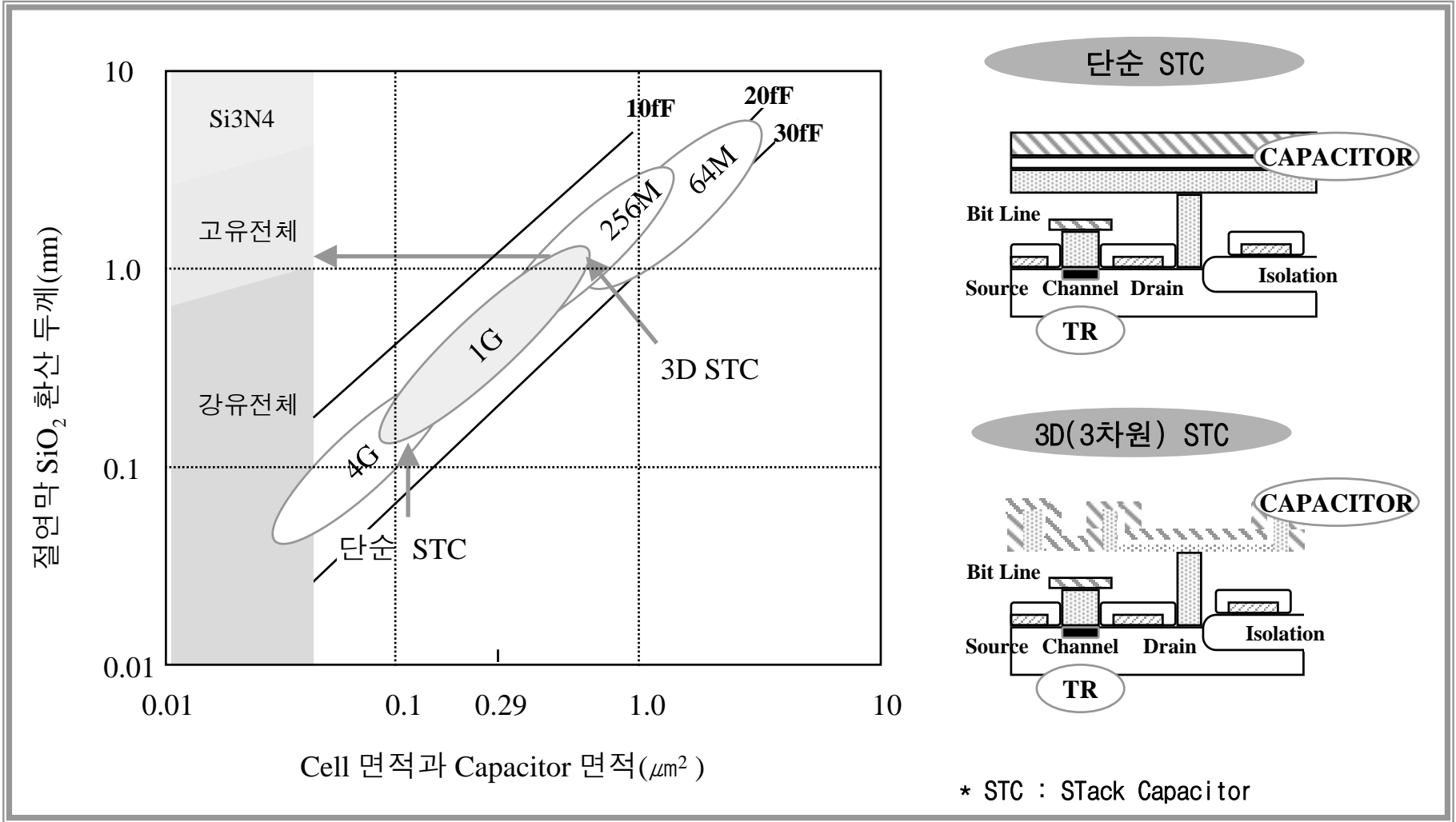
FTPS(Fast Temperature Process System)

- Short batch type
- Hot wall type
 - ▶ Shallow junction에 유리

RTP(Rapid Thermal Process)

- Single wafer type
- Cold wall type
 - ▶ Good within wafer uniformity
 - ▶ Bad wafer to wafer uniformity (Bad repeatability)

● Dielectric 동향 : Capacitor 절연막과 Capacitor의 구조에 따라 변화



● 세정 기술: 소자 Pattern의 미세화와 Wafer 대구경화에 대응하여 신개념의 세정 및 건조 기술이 필요

	1995	1996	1997	1998	1999	2000	2001	2002	2003	특 징
DRAM(bits)	16M	64M		256M		1G				
Design Rule	0.35um		0.25um		0.18um					
Cleaning trend	Wet cleaning - Cassette type		Wet & Dry cleaning - Carrierless, Single process			New cleaning - Cluster화				* Dry cleaning 기술 * New dry 기술 * Cluster화 기술
Wafer Handling	Conventional type - Vertical loading type - 25ea Cassette - Wafer transfer 이용			Wafer 대구경화 대응 - Horizontal loading type - 13, 25ea Cassette - Wafer transfer particle 제어						* Wafer transfer 기술 * 13,25ea Cassette 대응
Cleaning Bath	Conventional bath - 2 Bath system (처리조+세척조)			New concept bath - Single Bath/Wafer type - Buffer Module						* Bath간 Cross 오염 * Footprint 최소화
Dryer	Spin dryer IPA vapour dryer Marangoni dryer			New dryer - Slow drain IPA vapour dryer - Hot DIW slow pull dryer - Low pressure slow pull dryer						* Polimer 제거 * 미세 Pattern내 건조

- 산화막 : 화학적으로 안정된 보호막으로 Si-surface 위에 쉽게 형성 가능

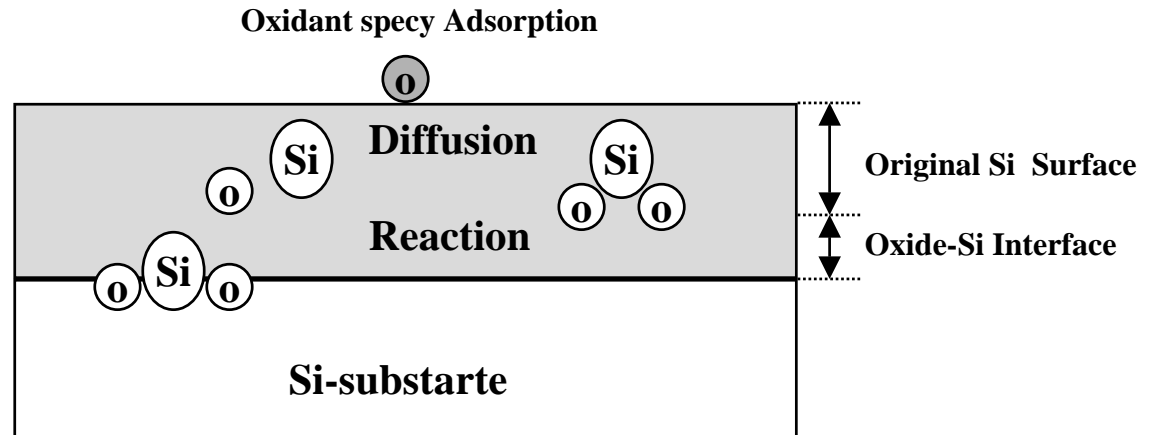
- 반도체 소자에서의 역할

1. 소자간의 절연체 분리막(Isolation)
2. 전극/배선의 층간 분리막(Inter Layer/Inter Metal Dielectric)
3. MOSFET의 Gate 절연막
4. DRAM Cell의 Capacitor 유전막

- 산화막 형성 방법

1. 열산화법(Thermal Oxidation)
2. 화학기상증착법(Chemical Vapor Deposition)
3. Sputter법

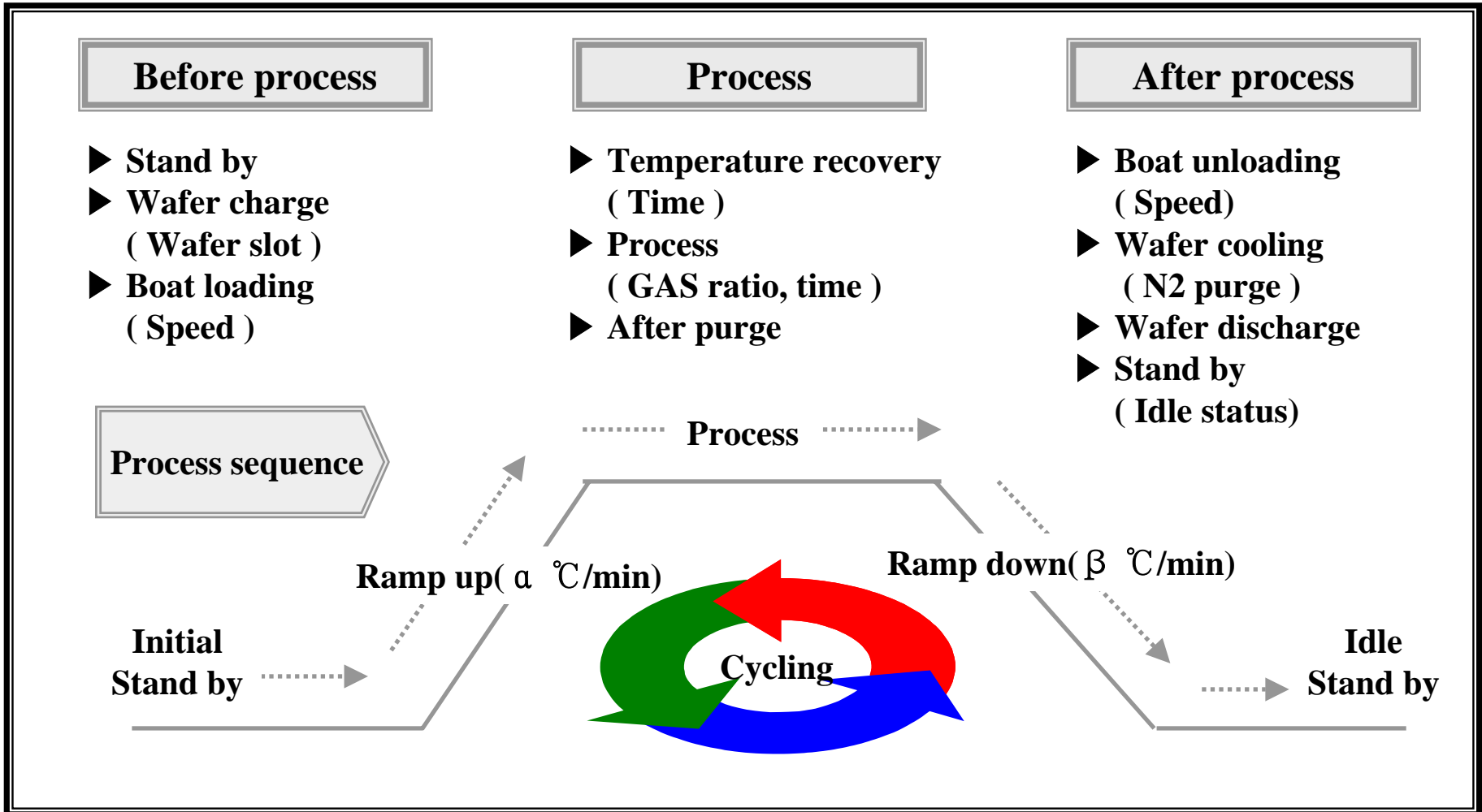
- 산화막 형성 과정



● Dielectric Film 형성 : 성장 방법에 따라 분류

형성 방법	공정 종류	사용 GAS	용도
PE-CVD (Plasma Enhancement)	▷ LTO(~ 400 °C)	▷ TEOS / O ₂ ▷ SiH ₄ / N ₂ O	▷ IMD Film ▷ Passivation
LP-CVD (Low Pressure)	▷ LTO(~ 400 °C) ▷ HTO(~ 800 °C) ▷ HTO(~ 850 °C) ▷ HLD(~ 700 °C)	▷ SiH ₄ / O ₂ ▷ SiH ₄ / N ₂ O ▷ SiH ₂ /Cl ₂ /N ₂ O ▷ TEOS / O ₂	▷ ILD Film ▷ Sidewall space
AP-CVD (Atmospheric Pressure)	▷ LTO(~ 400 °C) ▷ LTO(400 ~ 450 °C)	▷ TEOS / O ₂ ▷ SiH ₄ / O ₂	
Thermal Oxidation (800 ~ 1200 °C)	▷ Dry Oxidation ▷ Steam Oxidation ▷ Wet Oxidation	▷ O ₂ ▷ H ₂ + O ₂ ▷ O ₂ / H ₂	▷ Gate 절연막 ▷ Capacitor 유전막 ▷ Isolation Film

● 공정 진행 SEQUENCE(RECIPE) : 공정 단계별 Flow 과정

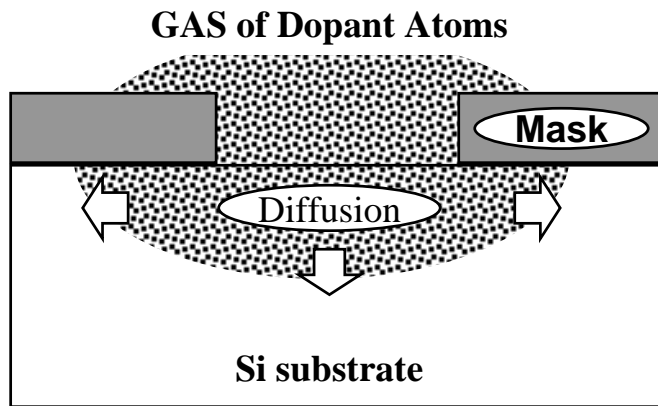


● 불순물 확산 : 입자의 농도차에 의해 高농쪽에서 低농쪽으로 퍼지는 현상

● 불순물 Deposition 방법

GAS 상태의 불순물을 고온 FURNACE로 Si wafer surface에 얇게 증착한 후, 열처리(Anneal, Drive-in)하여 원하는 깊이(Junction) 만큼 Si wafer bulk내에 불순물(Dopant)을 확산시키는 방법

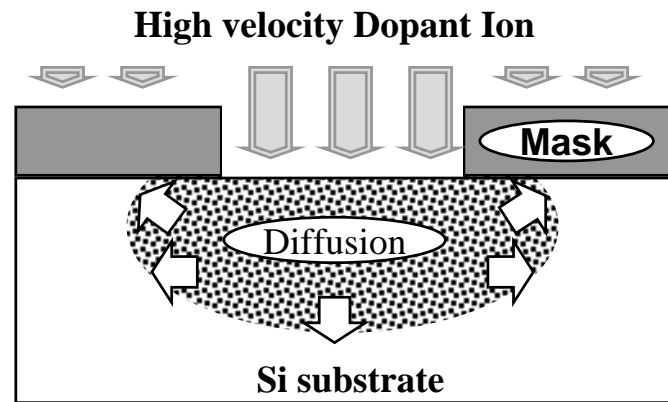
▼ 열확산후 농도 Profile (Deposition)



● 불순물 이온 주입 방법

GAS 상태의 불순물을 이온 주입기로 이온화하여 High energy Ion beam 으로 가속시켜 원하는 불순물의 양(Dose) 과 깊이(Junction)만큼 Si wafer bulk내에 주입한 후, 열처리하여 확산시키는 방법

▼ 열확산후 농도 Profile (Ion Implantation)



● Diffusion in Crystal Lattice

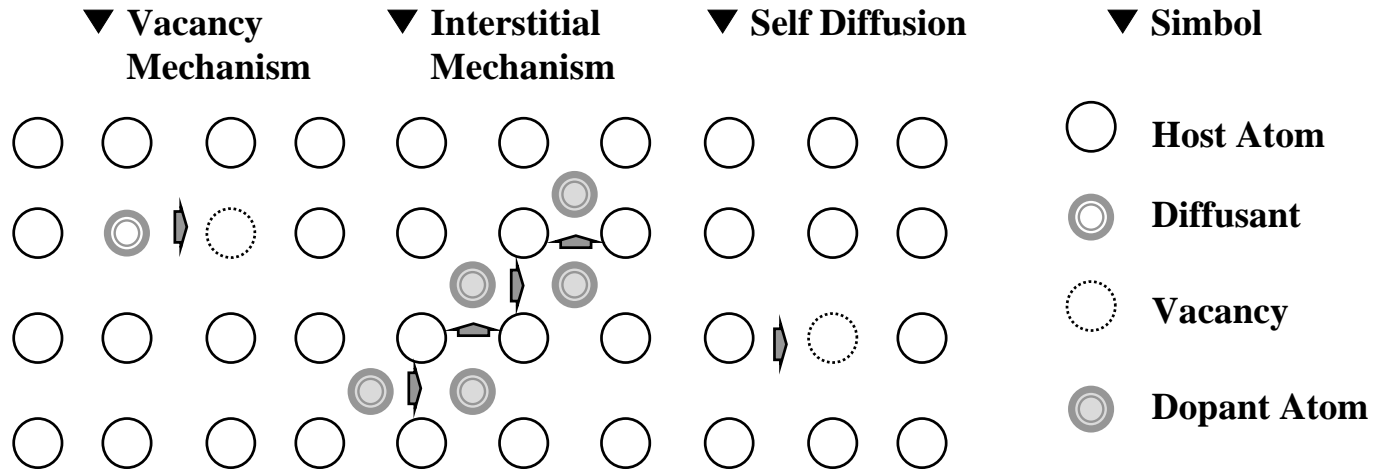
▶ Vacancy Mechanism

- 확산자(Diffusant, Dopant atoms)의 Vacancy Lattice 자리로 치환 및 이동
- 3가, 5가의 불순물 원자에 의해 확산

▶ Interstitial Mechanism

- 불순물 원자의 Interstitial Lattice간을 이동
- 중금속 원자에 의한 확산 (Vacancy 대비 $\sim 10^4$ 까지 Diffusivity가 큼)

● Models of Atomic Diffusion Mechanism



● CLEANING공정 : Wafer표면의 이물을 효과적으로 제어하기 위한 공정으로 오염원 제어가 필요함

○ Wafer 표면 오염 종류

- ▷ 유기물로 분류되는 분자성 이물
- ▷ 중금속에 의한 원자성 이물
- ▷ 수용액중의 금속이온이 유발하는 이온성 이물

○ "Particle" 분자성 이물

- ▷ 유기물로 분류되는 분자성 이물로 Yield에 직접적으로 영향을 미침

○ Yield에 영향을 주지 않는 Particle Size

- ▷ Design rule의 1/10
- ▷ 실제 Control Size는 Design Rule의 1/3

○ Particle에 의한 불량율

- ▷ $Y = \exp(-DA)$
(Y;Yield, D;Defect density, A;Area)
- ▷ Particle수는 크기가 작아 질수록 급격히 밀도가 높아지기 때문에 Pattern 미세화에 대한 수율은 크게 감소됨

○ 금속 오염 유발 공정 및 오염원

- ▷ Resist Ashing, Dry Etching, Ion Implantation
- ▷ Alkali(Na, K etc), 전이(Fe, Cu, Ni, Ca etc)

○ Alkali 금속의 영향

- ▷ Oxide film내 Mobile ion으로 존재
- ▷ MOS 소자의 불안정 요소
- ▷ 산화막질의 신뢰성을 저하

○ 전이 금속의 영향

- ▷ Forbidden Band내 Deep Carrier Trap Level 형성
- ▷ Carrier Life Time을 감소
- ▷ PN 접합의 Leakage Current 증가
- ▷ 열산화에 의한 결정 결함 발생

- RCA 세정 : SC1의 유기물, 금속오염, 이물 제거와 HF의 금속오염, 자연산화막 제거, 그리고 SC2의 Particle에 안정한 Si 표면을 친수성으로 만든 CLEANING 표준 공정임

RCA CLEANING 종류	CLEANING 목적	LGS
SC1 (NH ₄ OH:H ₂ O ₂ :DI=1:1:5)	<ul style="list-style-type: none"> ▶ ORGANIC, I/II족 METAL, PARTICLE 제거 ▶ $2H_2O_2 + C \rightarrow CO_2 + 2H_2O$ ▶ $M + H_2O_2 \rightarrow MO + H_2O$, $MO + 4NH_4OH \rightarrow M(NH_4)_4^+$ 	U세
SC2 (HCl:H ₂ O ₂ :DI=1:1:5)	<ul style="list-style-type: none"> ▶ METAL 제거 ▶ ION EXCHANGE : $Na + HCl \rightarrow NaCl + H^+$ ▶ COMPLEX : $M + H_2O_2 \rightarrow MO + H_2O$, $MO + 2HCl \rightarrow MCl_2 + H_2O$ 	D세
SPM (H ₂ SO ₄ :H ₂ O ₂ =4:1)	<ul style="list-style-type: none"> ▶ HEAVY ORGANIC, METAL 제거 ▶ $H_2SO_4 + H_2O_2 \rightarrow H_2SO_5$(CARO'S ACID) + H₂O ▶ $H_2SO_5 + \text{Hydro Carbon} \rightarrow CO_2 + H_2O + H_2SO_4$ 	有
HF (HF:DI)	<ul style="list-style-type: none"> ▶ OXIDE FILM, METAL 제거 ▶ $6HF + SiO_2 \rightarrow H_2SiF_6 + 2H_2O$ ▶ $3HF + M \rightarrow MF_3 + 3H^+$ 	HF세
US (Ultra Sonic)	<ul style="list-style-type: none"> ▶ PARTICLE 제거 ▶ CAVITATION에 의한 Shock Wave 	有
MS (Mega Sonic)	<ul style="list-style-type: none"> ▶ PARTICLE 제거 ▶ SINUSOIDAL WAVE의 Acceleration Force 	有

● HF 세정 : 산화막 제거 및 금속(전이 금속) 오염물 제거에 용이하고, 49wt% HF와 DIW를 혼합하여 상온에서 사용함

<p>● OXIDE MECHANISM</p>	<ul style="list-style-type: none"> ▶ $\text{SiO}_2 + 6\text{HF} \leftrightarrow 2\text{H}^+ + \text{SiF}_6^{2-}$ ▶ $2\text{H}_2\text{O}_2 + \text{C} \rightarrow \text{CO}_2 + 2\text{H}_2\text{O}$ ▶ $\text{M} + \text{H}_2\text{O}_2 \rightarrow \text{MO} + \text{H}_2\text{O}$, $\text{MO} + 4\text{NH}_4\text{OH} \rightarrow \text{M}(\text{NH}_4)_4^+$ 	<p>U세</p>
<p>SC2 (HCl:H2O2:DI=1:1:5)</p>	<ul style="list-style-type: none"> ▶ METAL 제거 ▶ ION EXCHANGE : $\text{Na} + \text{HCl} \rightarrow \text{NaCl} + \text{H}^+$ ▶ COMPLEX : $\text{M} + \text{H}_2\text{O}_2 \rightarrow \text{MO} + \text{H}_2\text{O}$, $\text{MO} + 2\text{HCl} \rightarrow \text{MCl}_2 + \text{H}_2\text{O}$ 	<p>D세</p>
<p>SPM (H2SO4:H2O2=4:1)</p>	<ul style="list-style-type: none"> ▶ HEAVY ORGANIC, METAL 제거 ▶ $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2 \rightarrow \text{H}_2\text{SO}_5(\text{CARO'S ACID}) + \text{H}_2\text{O}$ ▶ $\text{H}_2\text{SO}_5 + \text{Hydro Carbon} \rightarrow \text{CO}_2 + \text{H}_2\text{O} + \text{H}_2\text{SO}_4$ 	<p>有</p>
<p>HF (HF: DI)</p>	<ul style="list-style-type: none"> ▶ OXIDE FILM, METAL 제거 ▶ $6\text{HF} + \text{SiO}_2 \rightarrow \text{H}_2\text{SiF}_6 + 2\text{H}_2\text{O}$ ▶ $3\text{HF} + \text{M} \rightarrow \text{MF}_3 + 3\text{H}^+$, $\text{MO} + 2\text{HF} \rightarrow \text{MF} + \text{H}_2\text{O}$ 	<p>HF세</p>
<p>US (Ultra Sonic)</p>	<ul style="list-style-type: none"> ▶ PARTICLE 제거 ▶ CAVITATION에 의한 Shock Wave 	<p>有</p>
<p>MS (Mega Sonic)</p>	<ul style="list-style-type: none"> ▶ PARTICLE 제거 ▶ SINUSOIDAL WAVE의 Acceleration Force 	<p>有</p>

- Cleaning Technology: 소자의 미세화 및 Wafer 대구경화로 신개념의 세정 기술이 필요

High Aspect Ratio의 Contact Hole이 0.2um가 되면 Hole 내부 세정이 어려운 바, 향후 제조의 일관화를 위하여 GAS나 VAPOUR의 효율적인 DRY 세정 기술과 METAL 오염 방지 UV/Cl₂ 세정 기술등이 대두됨

세정기술 과제

- COST 저감
- 청정도 향상 / 환경 고려
- MONITOR 기술 개발
- 매엽 CLUSTER 장치 대응
- Wafer 대구경화 대응



향후 세정기술

- 微細 Hole 세정에 유효
- Native Oxide 제거 적용이 용이
- Chemical 폐기에 의한 환경 오염 감소
- CLUSTER화, 대구경화 적용이 용이
- 오염물 및 반응 생성물 재부착 저감
- RINSE 및 DRY 공정 생략이 가능

● CLEANING공정 : Wafer 표면 상태를 Control하기 위한 공정으로 소자 제조 공정중 약 20%를 차지함

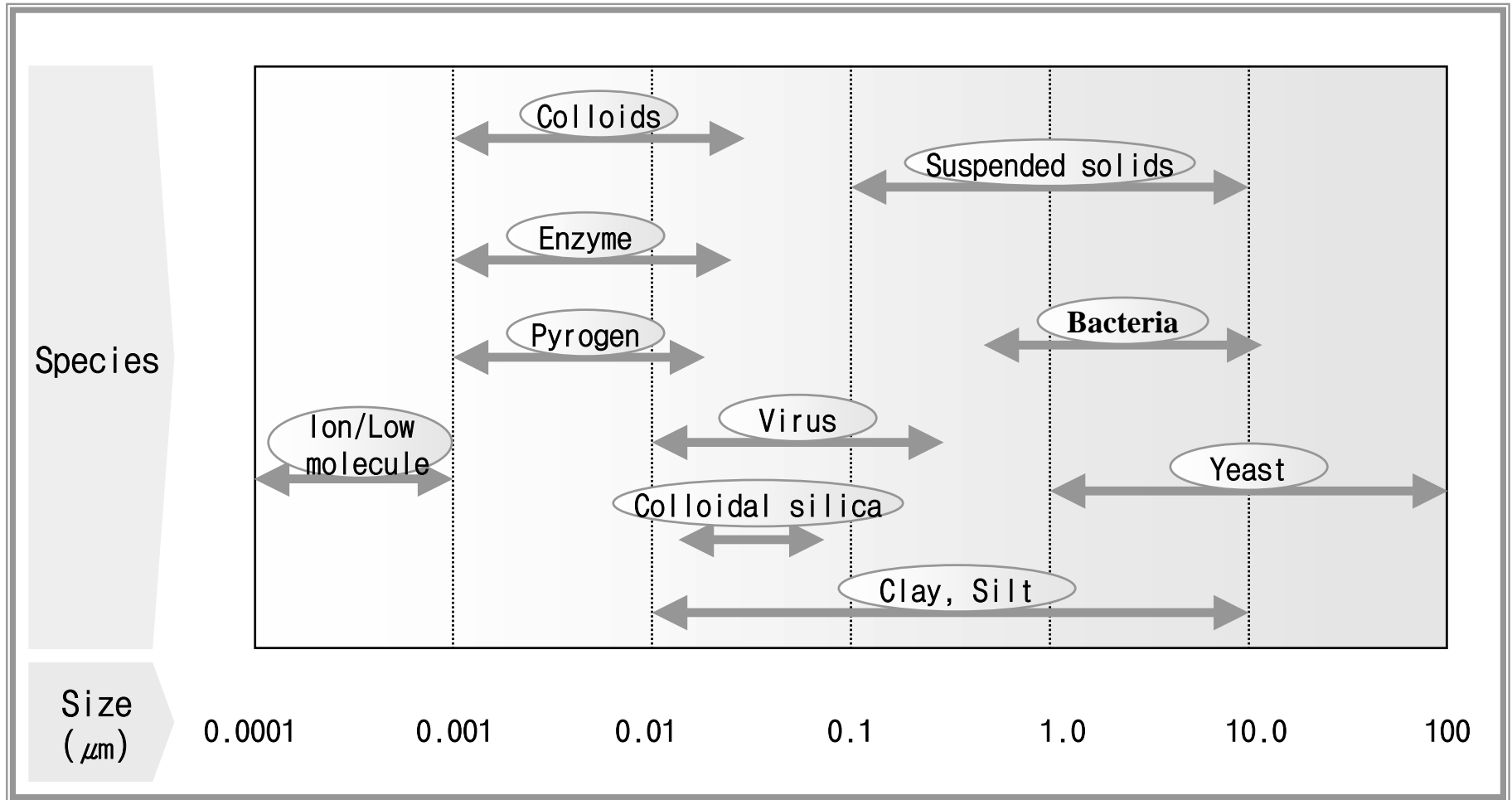
○ CLEANING 공정

- ▷ 양질의 산화막 증착을 위한 자연 산화막 제거
- ▷ 산화 공정 속도와 Wet Chemical의 젖음성에 영향을 주는 O, C, H 원소의 제어
- ▷ 유전물질의 절연성과 누설전류 그리고 파괴전압에 영향을 미치는 금속 원소등을 제거

○ DEVICE에 영향을 미치는 오염 물질

오염 물질	불량 내용
중금속	PATTERN 결함, 절연막, 내압 불량, 성막시 이상 돌기
미립자	접합 LEAK, LIFE-TIME 저하, Vth 변동, 결정 결함, 절연막 내압 불량, 산화속도 변동
알칼리 금속	절연막 내압 불량, Vth 변동
III족 원소	p 반전 불량
V족 원소	n 반전 불량
방사성 원소	Soft Error
유기물	결정 결함(SiC), 성막 불량, CONTACT 저항 증대
산화막	CONTACT 저항 증대, 절연막질 열화, EPI막 성장 억제

● 이물 분포 : Particle sizes of fine particles existing in water



● Wafer Drying 기술 : 각 장치 형태별 Cleaning, Rinse, Drying 기술 비교

Type	Spin dryer	IPA vapour dryer	Marangoni dryer	Spin dryer
Motion	Hi speed rotation	Motionless	Motionless	Motionless
Sequence	Drying only	Drying only	Cleaning & Drying	Rinse/Clean/Dry
Wafer move	Rotation	Not moving	Withdraw / Out	Not move & DI drain
IPA	Not used	Used for drying > 300ml > Room temp. Recovery 필요	Cleaning & Drying 4~10ml (50枚) Room temp. Recovery 불필요	Used for clean only 2ml (50枚) Room temp. Recovery 불필요
N2	Hot N2	Not used N2	Cleaning & Drying	N2 clean/Hot N2 dry
Application	All(PR wafer포함)	PR wafer 불가	PR wafer 불요	All(PR wafer포함)
Process time	> 5min	~ 10min	~ 9min	~ 5min
300mm capa	(-)	(+)	(++)	(++)

◆ Oxynitride Gate : SiO₂ 산화막의 물리적 한계(약 50 Å)에 도달로 대두됨

● 필요성 : GATE 산화막의 박막화(< 80 Å)로 열화를 극복하기 위해 NOx GAS를 이용한 산화질화막(Oxynitride film)의 필요성이 대두됨

● 특성 ▶ Hot Carrier Lifetime 향상
▶ TDDDB 기존 산화막과 차이가 거의 없음

● NOx GAS별 비교

공정	장점	단점
N2O	▶ 장치 구성 단순 * TORCH부, N2O GAS Line 합류	▶ 고온공정(1050℃) 반응성 불리 ▶ SiC Boat 사용 ▶ 생산성 저하
NO	▶ 저온 공정 (900℃) ▶ 생산성 향상	▶ 장치 구성 복잡 * TORCH부, N2O GAS Line 분리

● NOx 배기가스 처리 방법 ▶ 선택식 접촉 환원법 이용
(日本, HITACHI社+ KE社+TOMOE SHOKAI社)

◆ Oxynitride 장치 구성: 기존 PYRO 장치의 GATE OX 공정용을 기준으로 비교

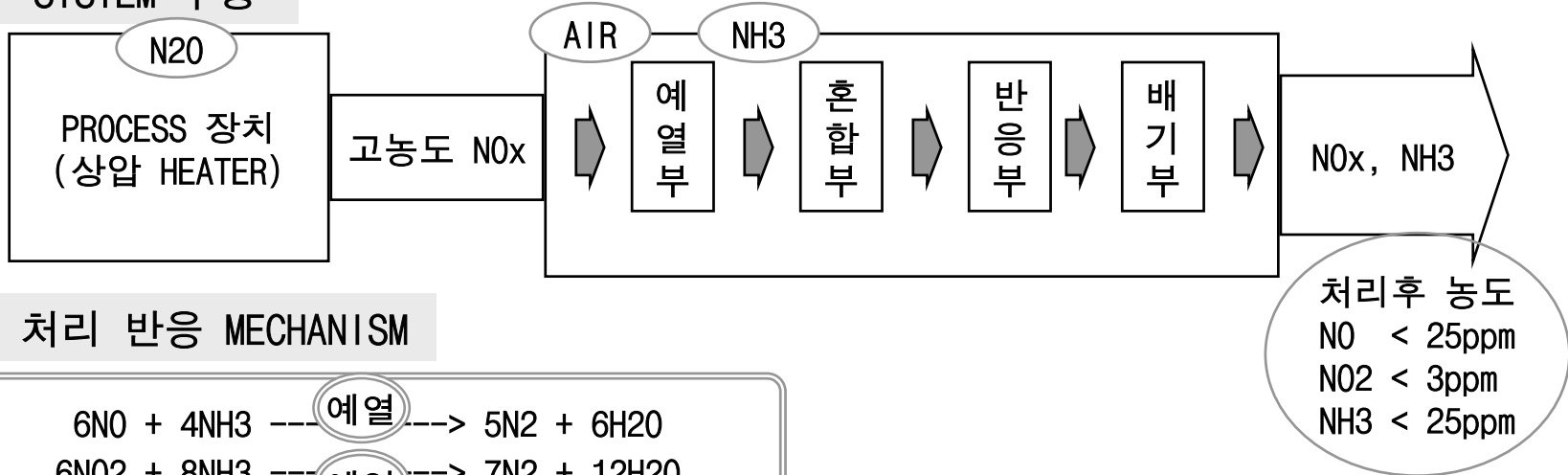
- GAS 공급계 : 기존 H₂, O₂ GAS 이외 NO_x GAS Line 추가 설치 필요
- TORCH 부 : N₂O GAS는 TORCH내 합류하여 Flow 가능
 - ▶ NO GAS는 Line 분리하여 TUBE내 공급시 TUBE 개조 필요
 - * Pyrogenic Reaction에서 생성된 H₂O와 NO GAS가 반응하여 HN₃ 생성
 - ▶ LAMP 가열 방식 -> HEATER 가열 방식 TORCH로 전환 필요
- FURNACE부: 기존 PYRO장치의 SEALING 방법으로는 NO_x GAS Leak 방지 어려움
 - ▶ 2중 O-Ring, Seal Flange 개조(배기 Pump, GAS Detector 설치) 필요
- 반송계 : 고온 공정시 NO_x산화 공정의 막 균일성 불량
 - ▶ BOAT Rotation, BOAT up/down Position 임의 설정 기능 필요
- 제어부 : 반응용 NH₃ GAS의 NO_x 산화 공정 진행중에만 Flow되는 RECIPE이 필요
 - ▶ Main장치와 배기GAS 처리 장치간 Interface 제어 SYSTEM 구성이 필요
- 배기계 : NO_x 배기GAS와 수분과의 반응에 의해 SUS류 부식과 오염 발생
 - ▶ Process배기부 Drain Line의 전.후단에 Teflon Air Valve 설치 필요

◆ Oxynitride 배기 장치 : NOx계열의 배기 GAS 처리 및 향후 대응 방안

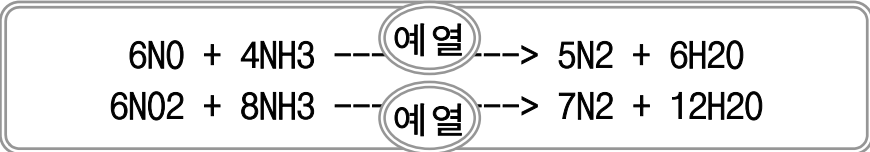
● NOx계열 배기 GAS 처리 장치

NOx계 GAS를 이용한 산화질화막 공정중 배출되는 배기GAS의 특수 SCRUBBER 장치 필요

▼ SYSTEM 구성



▼ 처리 반응 MECHANISM



▼ 처리 장치 문제점 및 대응 방안

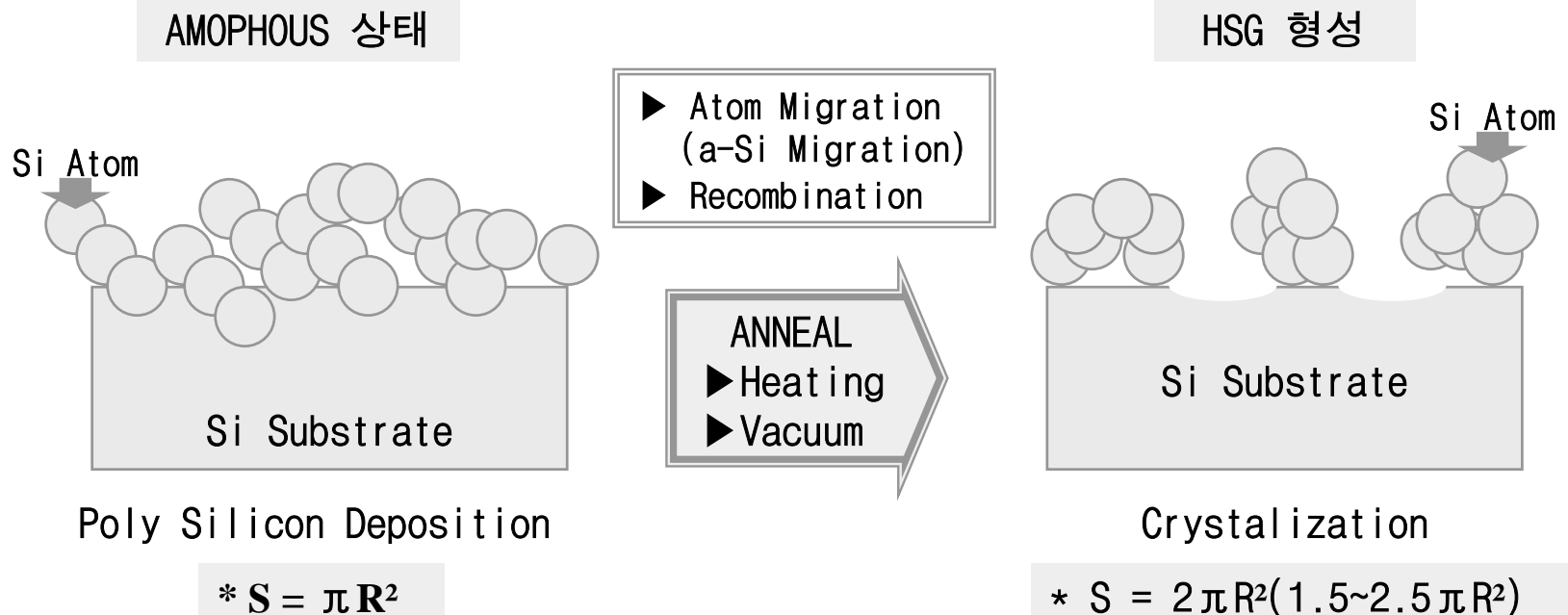
- ▷ 장치 SIZE가 커 설치 공간을 많이 차지함 -> 초기 MAIN 장치에 기본으로 장착 투자 구매
- ▷ NH3 반응용 GAS CABINET 설치 필요 (운용비 증가) -> RECIPE상 NH3 GAS 사용량 최소화

● HSG(Hemi Spherical Grain): 기존 Poly보다 Capacitor 양이 약 1.6~1.8배 증가됨

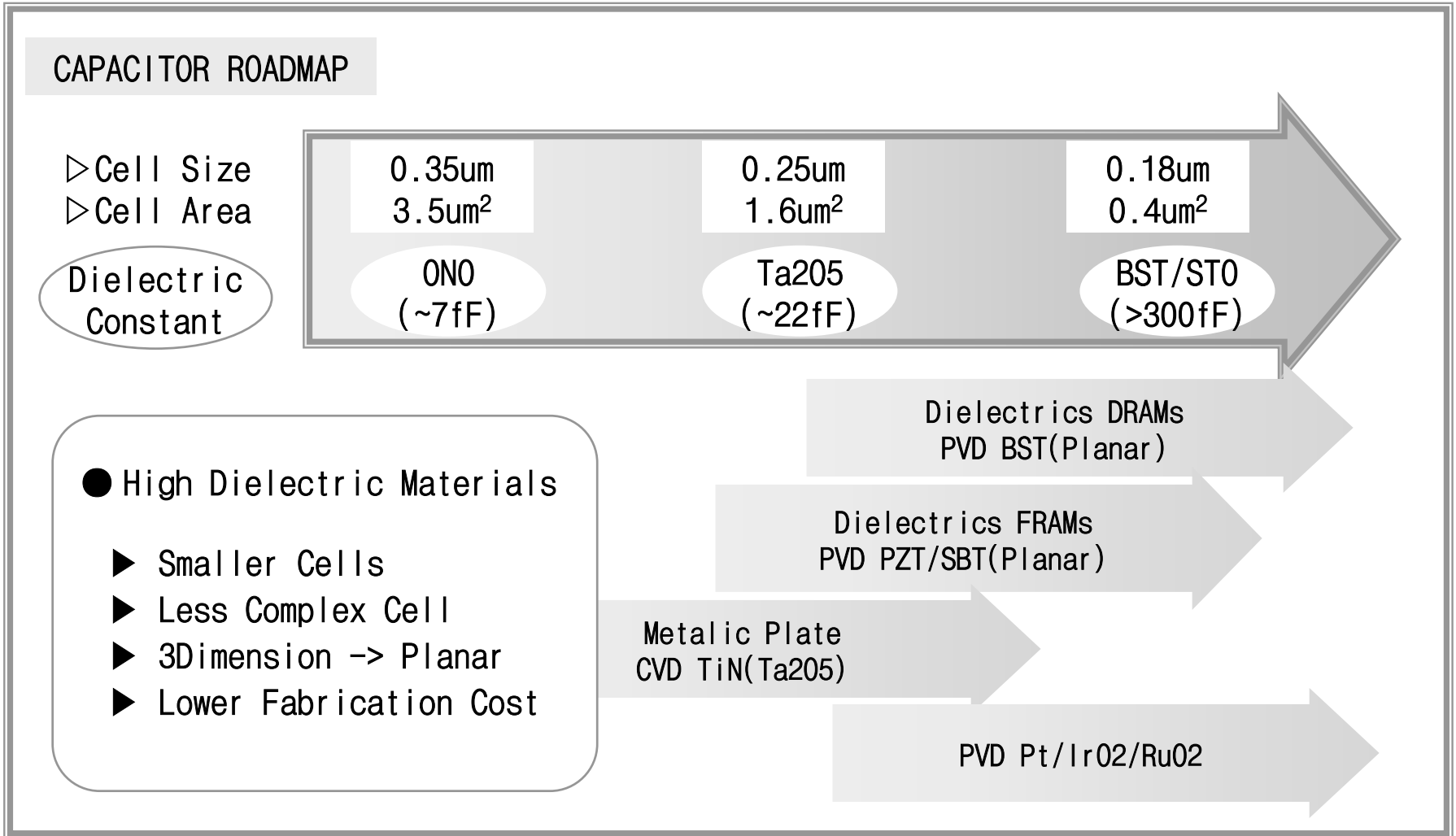
○ HSG Poly 목적

- ▷ 하부 전극으로 사용되는 Storage Node Poly Si의 표면적 증대를 통한 CAPACITOR 용량 증대
- ▷ Photo ARC(Anti Reflective Coating) Layer로 사용

○ HSG Poly 형성 Mechanism



● Ta₂O₅ 기술 동향 : 소자의 박막화로 기존 CAPACITOR 용량보다 큰 물질이 필요



○ Ta₂O₅ 막의 성질 : Oxygen과의 결합 상태에 따라 전기적 특성이 변화됨

◇ 장점

- ▷ High Dielectric Constants
- ▷ High Resistivity
- ▷ Low Internal Stress
- ▷ Good Step-coverage

◇ 단점

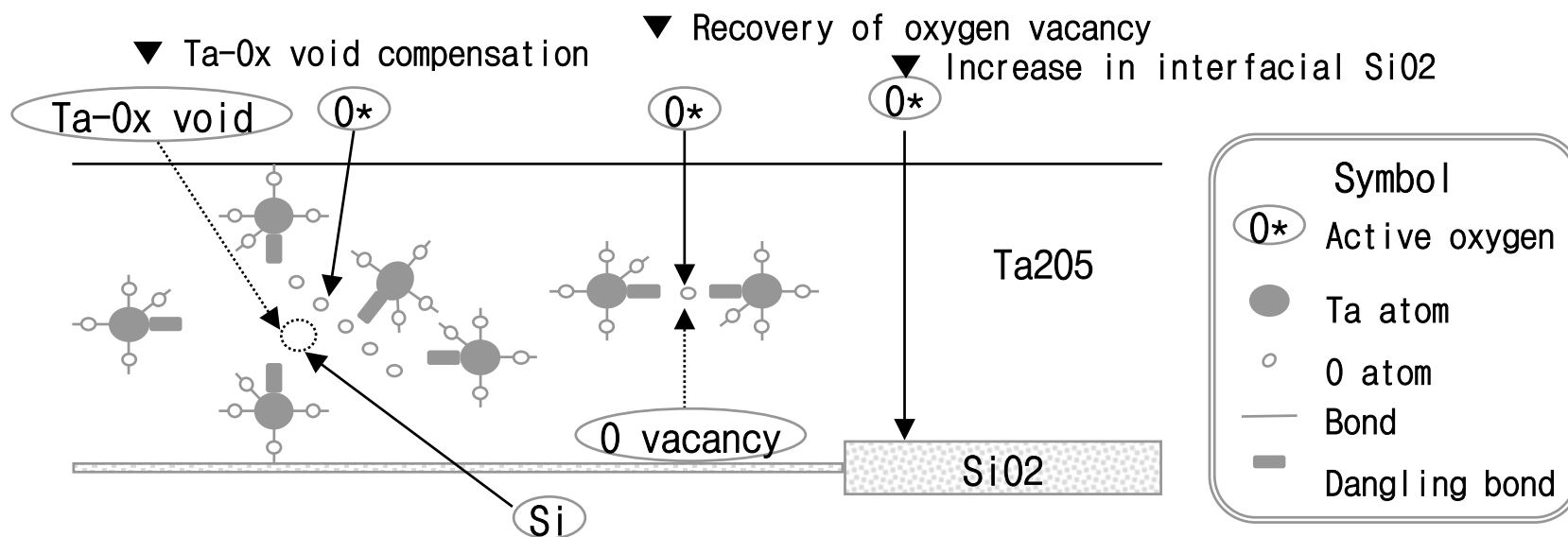
- ▷ Large Leakage Current
- ▷ Low Breakdown Strength
- ▷ Low Reliability

현상(문제점)

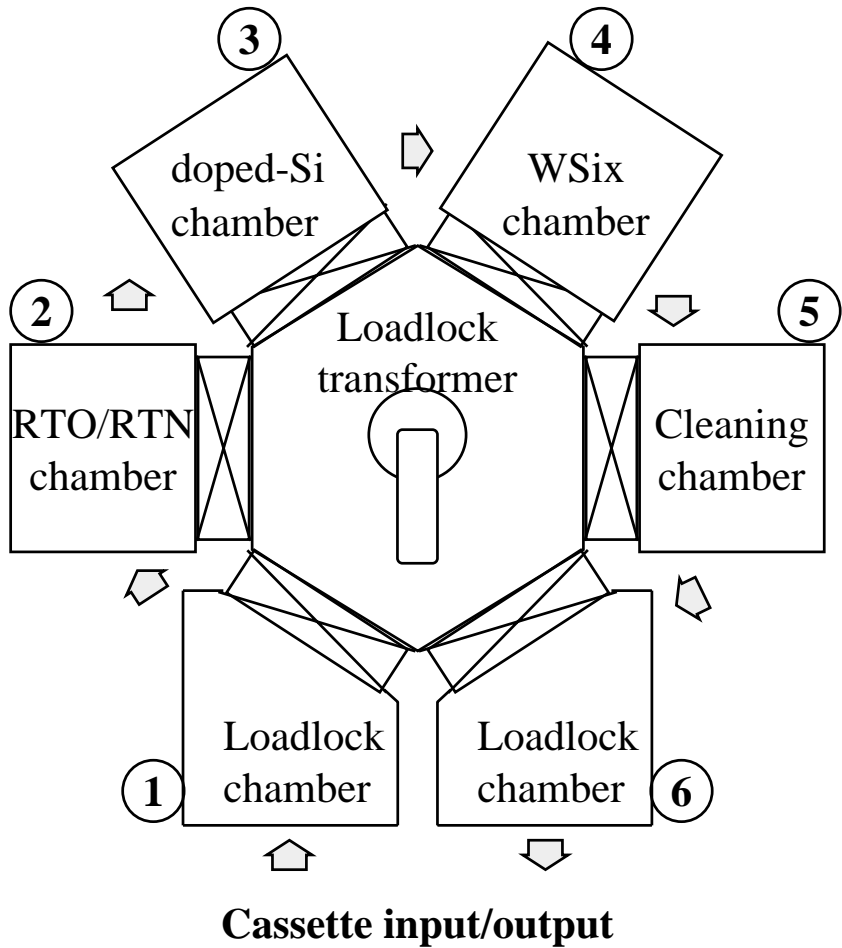
- ▷ 전극과의 반응에 의한 화학양론적 불안정으로 누설 전류 증가됨
- ▷ Ta₂O₅내 산소의 Si 친화성으로 Ta 일부가 환원되면서 산소 vacancy가 생겨나고 Ta로 부터 2개 전자를 획득하여 고정 음전하가 되면서 Flat-band voltage를 증가시킴
- ▷ Ta rich 산화막이 생성된 Ta₂O₅는 오옴 법칙의 전류 특성을 가지면서 절연막이라기 보다는 저항체에 가까운 물체임
- ▷ Ta₂O₅ Film의 전기적 특성은 Ta₂O₅ 자체 및 계면 상태 변화와 박막의 치밀화에 의해서 변화됨

● Modeling

- ▷ Ta-Ox void 형성으로 Leakage current 감소
- ▷ Ta-O 사이의 Ta,O 결핍 anneal defect로 void 형성
- ▷ Void에 인접한 Ta 원자는 TaCl5 반응시 Cl 원자 및 dangling bond를 형성
- ▷ CVD공정중 TaCl5의 UV activation에 의해 적당한 Ta-Ox void가 발생되는데 anneal 조건에서 O/O₂와 Si 원자가 서로 화학 작용을하여 Ta-O-Si-Ta로 천이됨
- ▷ 여러 void에 의해서 leakage 구조가 생겨나며 전기적 특성이 변화



연속 공정용 CLUSTER 장치 구성도

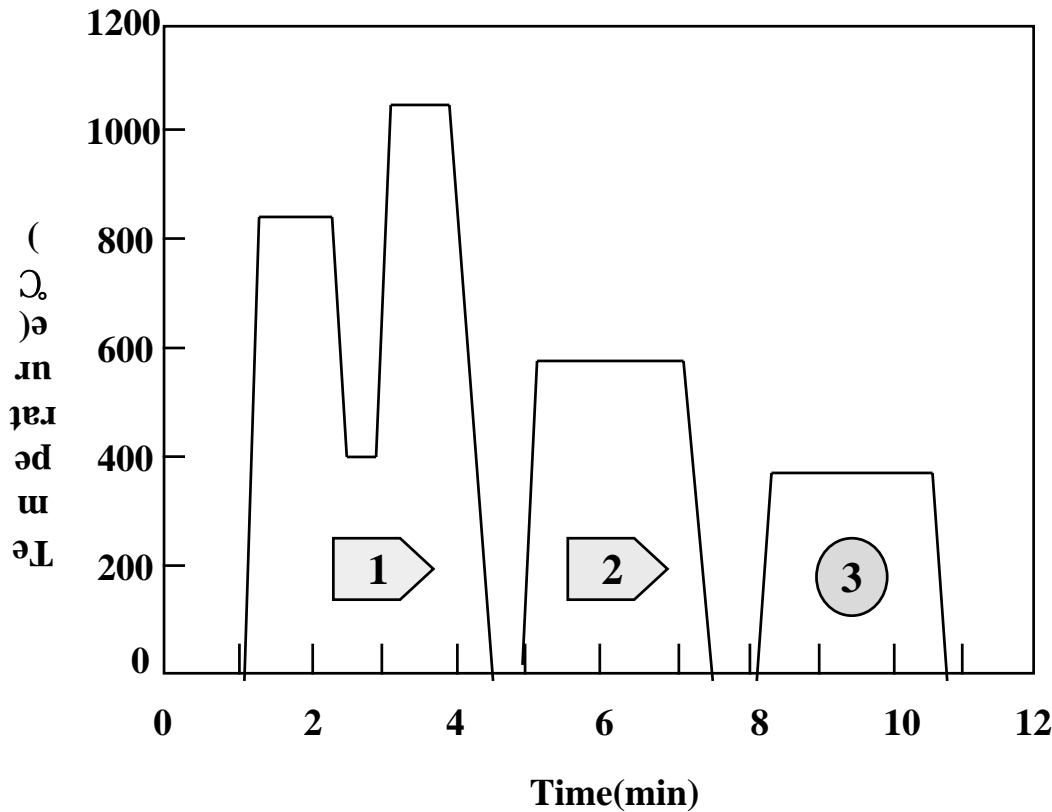


Policide Gate integration (Process flow)

- ① Wafer loading
- ↓
- ② H2 Bake : 자연산화막 제거
Gate insulator : NO막 형성
- ↓
- ③ Gate node : d-Poly 성장
- ↓
- ④ W CVD depo : Policide 형성
- ↓
- ⑤ Dry cleaning : Particle 제거
- ↓
- ⑥ Wafer unloading

● Integration Process : Nitrogenic oxide/Polycide Gate Growing

RT Cluster를 이용한 연속 형성 Process



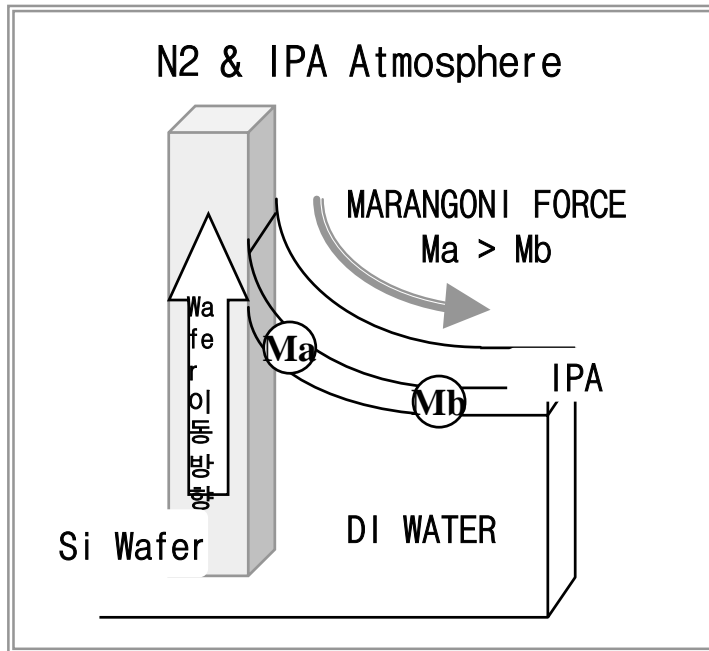
Process Flow

- 1** **RTO/RTN Chamber**
 - H2 Bake
 - 자연산화막 제거
 - N2O RTN
 - 질화산화막 형성
- 2** **doped-Si Chamber**
 - SiH4/PH3
 - in-situ doped-Si성장
- 3** **WSix Chamber**
 - SiH4/WF6
 - WSix 막 성장

● MARANGONI DRYER : 기존 IPA V/D 및 SPIN DRYER와 다른 New Concept 장치

○ MARANGONI EFFECT

- ▷ 상호 상이한 표면장력을 갖는 영역에서 유체는 물리적으로 이동하여 평형 상태를 회복하게 하는 현상
- ▷ Si와 같은 고체 물질이 GAS & LIQUID 경계를 통과할 때 액체는凹凸 표면을 형성하는데 Water에 잘 용해되는 IPA층 존재시에는 이 현상이 더욱 증대됨



원리

- DIFFUSION of IPA in WATER
 - Wafer 표면에 수분을 함유한 IPA 층이 형성
- IPA Concentration : $M_a > M_b$
- IPA Surface Tension 감소
 - IPA 용해에 의한 표면 장력 감소
- SURFACE TENSION : $M_a < M_b$
- MARANGONI FORCE : $M_a \rightarrow M_b$ 로 액체 이동
 - Wafer 표면의 수분, 미립자, IPA층 이동
- Withdraw Wafer out of Water
 - N2/IPA의 안정된 분위기 유지